

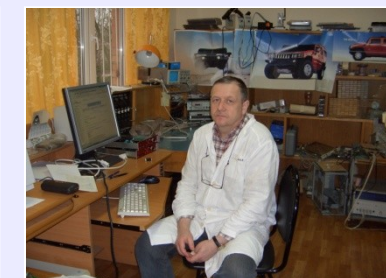
Лаборатория Радиоэлектроники
Лаборатория Радиоэлектроники
2011-2012
Отчёт и Планы
Отчёт и Планы



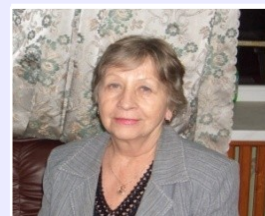
ГОЛОВЦОВ В.Л.
Декабрь, 2011

Лаборатория радиоэлектроники - 2011

Всего сотрудников	25
Научных сотрудников	9
Из них кандидатов наук	1
Инженеров	10
Техников	6
Женщин	9
Мужчин	16
Средний возраст, лет	56.5
Находящихся в эксплуатации систем электроники	9
Разрабатываемых систем электроники	2
Изданных печатных работ	125
Выступлений на конференциях, семинарах	4
В том числе на семинаре ОФВЭ	1



Структура Лаборатории радиоэлектроники - 2011



Тематические группы : 5 групп, 16 человек

Поддержка
Экспериментов:
LHCb, D0 etc



CMS-CSC Track Finder
Self Trigger



HV Systems
ATLAS-TRT



CROS3 Readout



TS Initial



Производственные группы:

2 группы, 7 человек
Монтажный участок:
4 чел



Группа комплектации:
3 чел



Основные тематические группы - 2011



1. CMS-EMU Track Finder :

Головцов В.Л., Уваров Л.Н.

2. ATLAS-TRT Self Trigger:

Головцов В.Л., Уваров Л.Н., Яцюра В.И.,
Грузинский Н.В.

3. CROS3 Readout (LAND, SC150/ HISP,TS...)

Головцов В.Л., Уваров
Л.Н., Яцюра В.И. Спириденков
Э.М., Уваров С.Л., Лобачёв Е.А.

С.С., Исаев Н.Б., Сергеев Л.О.

Бондарев С.В.,

Мыльникова А.В.

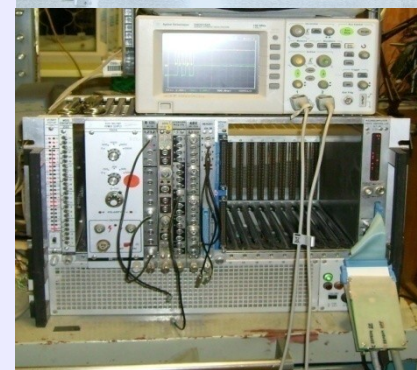
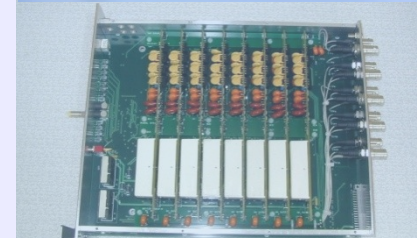
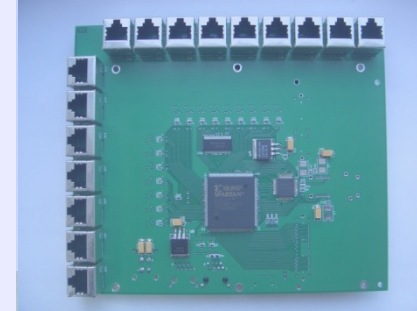
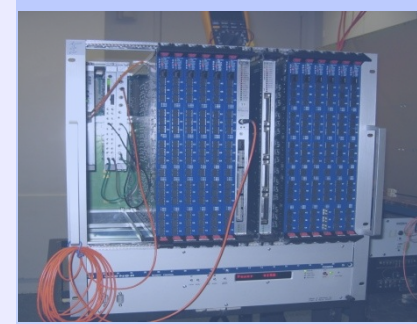
Орицин ЕМ.

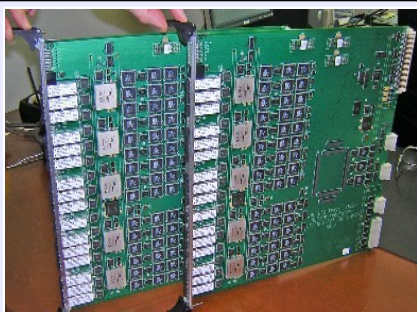
5. TS Initial

Спириденков Э.М., Грузинский Н.В., Яцюра В.И.
Уваров С.Л.,

Неустроев П.В. Денисов

А.С. Поляков В.В.





**Серийные модули
Процессора**

Track Finder History 1999-2011

Track Finder разработан для мюонного триггера CMS. Реализован как 12 Процессоров, каждый из которых идентифицирует до 3 лучших мюонных треков в 60-градусном азимутальном секторе. Анализирует входные примитивные треки (сегменты) от индивидуальных камер, восстанавливает полные треки по четырём камерам, измеряет поперечный импульс P_t

1999-2001 - выпуск первого Прототипа (SP01), отладка и тест

Август 2001 : новое идеологическое решение – реализация второго прототипа Процессора на одной сверхбольшой микросхеме FPGA. Кардинальное улучшение характеристик

2002-2003 – выпуск второго Прототипа (SP02) отладка и тест

2004 – выпуск третьего Прототипа (SP04), отладка и тест

2005 – выпуск пилотной серии SP05 и массовое производство SP05

2006 – отладка и тест Модулей SP05, связь с DAQ, развитие Firmware

2007 - 2008 – отладка в составе распределённого мюонного триггера, связь с DAQ, DT, GMT, развитие Firmware, пробный пучковый запуск

2009 – модификация Firmware, подготовка к пучковому запуску в составе распределённого мюонного триггера, первые пучковые данные

2010 – набор данных 7 ТэВ, развитие Firmware, модификация Software

2011 – продолжение набора данных 7 ТэВ, развитие Firmware, модификация Software

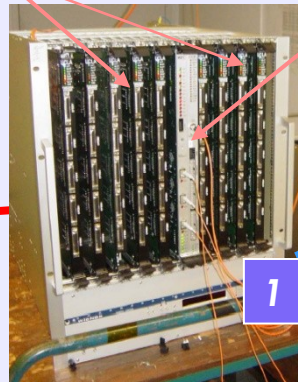
Track Finder Data Rate- 2011



9 TMB- modules

MPC- modules

Mounted in Discs in UXC

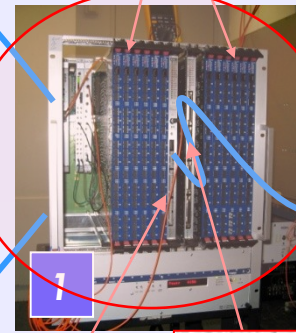


Counting House in USC

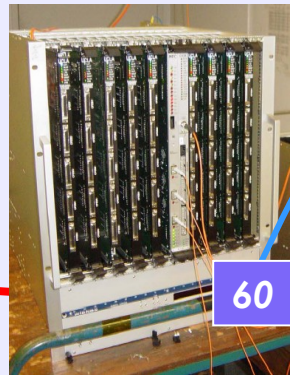
12 SP05- modules

AFE - cards

ALCT - cards



To Global Trigger Crate



MS- module

TTC- module

On-Chamber Electronics:
37 bytes/BX/Chamber
6064 Copper Cables

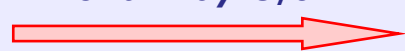
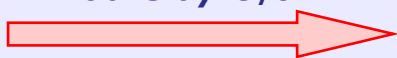
Peripheral Crates:
12 Bytes/BX/Sector 180
Optical Cables

Track Finder Crate:
16 Bytes/BX/CSC
4 SCSI-II Cables

700 GByte/s

30 Gbyte/s

640 Mbyte/s



FQPFMP Level 0 : 25 MHz

Level 1: 100 KHz

Track Finder Status - 2011

- **99.99% uptime during physics running**
- **Only a few bugs during data taking**
(21.08, 25.05, 23.04)

- **Very Stable Hardware:**

12 SPs in the System at Point 5.

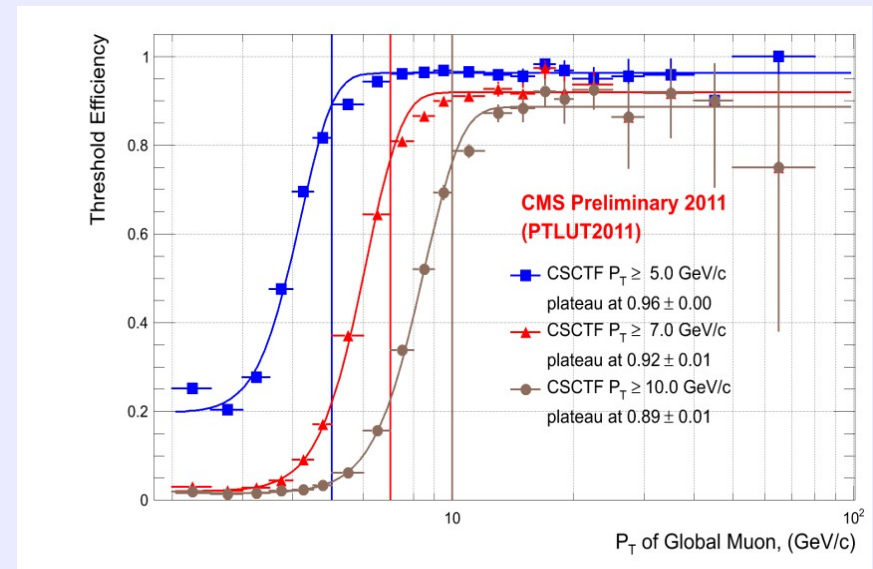
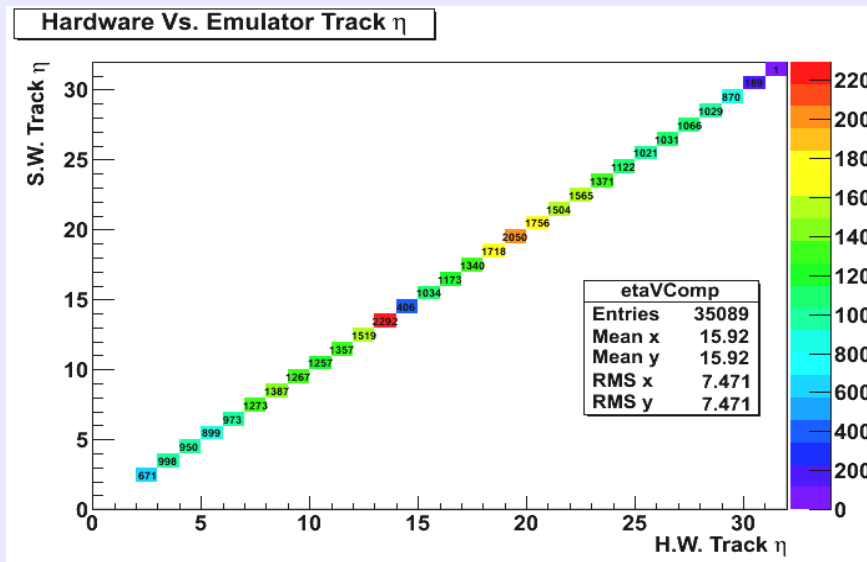
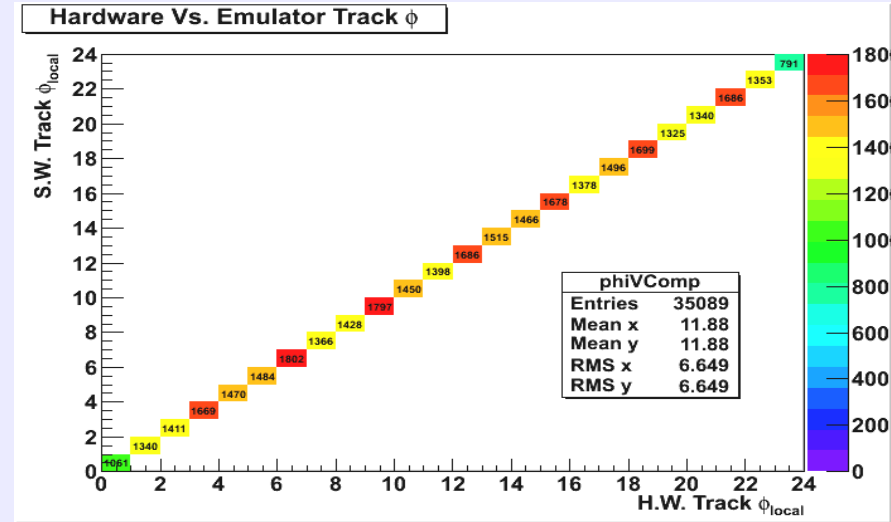
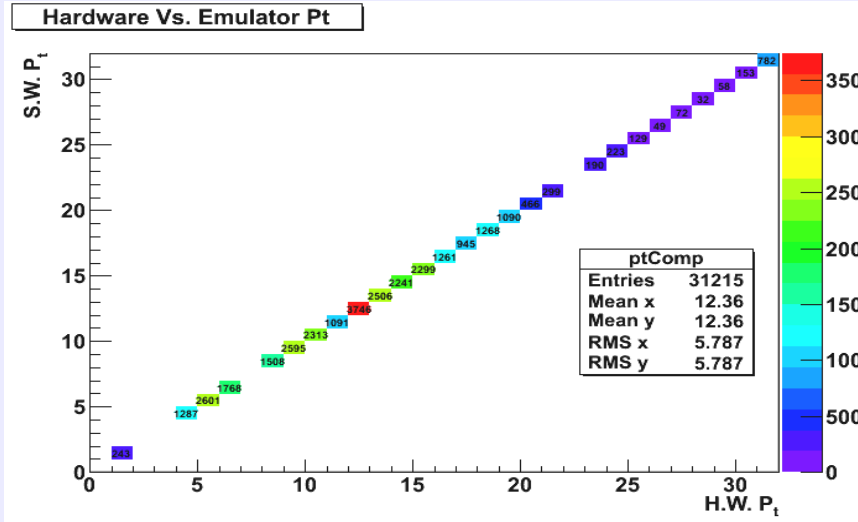
6 working spares. 3 spares have disconnected BGA corner balls due to mechanical deformation of the boards

- **Stable Firmware:**

Firmware updates - Feb 04, Mar 22, Sep 15:

- **Implement all possible track combinations between DT and CSC stubs in the overlap region ($0.9 < |\eta| < 1.2$):**
- **new SR LUTs to fix inefficiency at endcap minus for $\eta < -2.1$**
- **possibility triggering where ME1/1a chambers are dead**
- **zero suppression data format for 100 KHz rate**

Track Finder DQM&Efficiency - 2011



Hardware \leftrightarrow emulator disagreement less than 0.15%

Track Finder-2012 Plans

- Planning to use new CSC_TF data format with extra zero suppression
 - DDU CSC_TF couldn't handle rate of 105 kHz with current CSC_TF data format.
Buffer was full by 80% 4.10.2011 -> dead time ~ 100 %.
 - 105 kHz is not L1 rate at which we suppose to run but if pile up increase we got events with average higher size
 - new data format should handle with such rate and more
- Planning to review PT_LUTs for 2012 data taking using the data of all three Muon Detectors

ATLAS Self Trigger - 2011

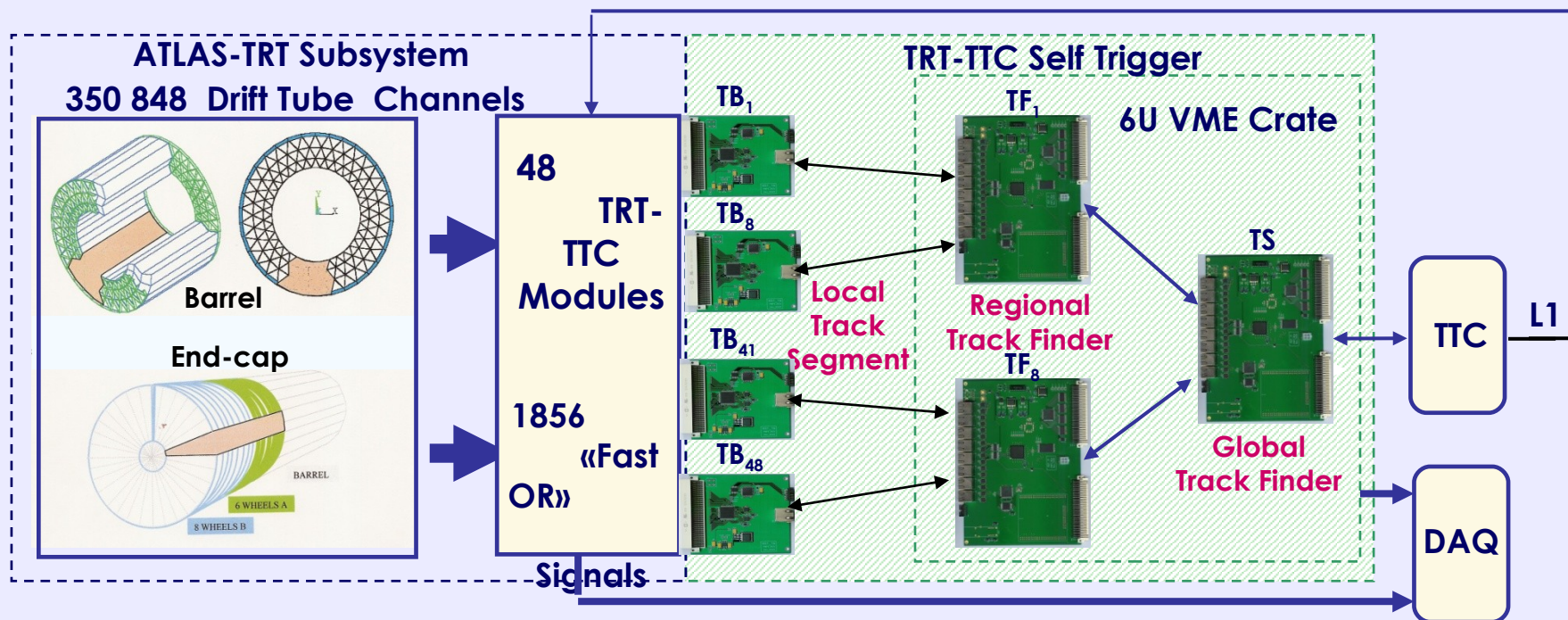
Физические задачи:

- Реакции $pp \rightarrow ppe^+e^-$ с экстремально малым переданным импульсом.

Поперечное сечение этого процесса может быть посчитано с достаточно высокой точностью, что позволит измерить светимость установки ATLAS при работе ускорителя LHC с точностью в несколько процентов.

- Поиск сильно ионизирующих частиц, таких как магнитный монополь, Q-balls etc
- Триггер по множественности в центральной области.

А также - отладка работы детектора TRT в режиме самозапуска при регистрации частиц космического излучения.



ATLAS Self Trigger Hystory

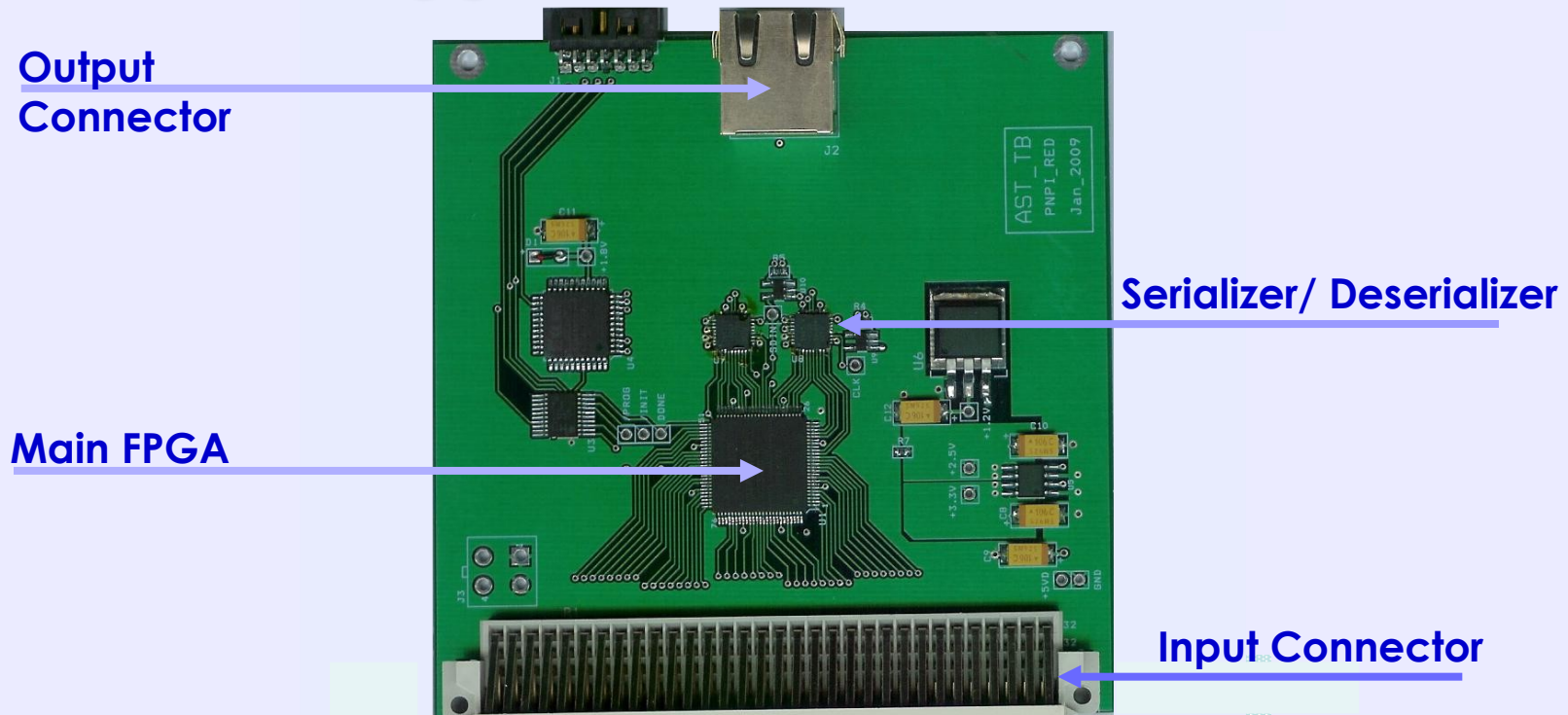
Июль 2007 - начало проектирования в соответствии с начатым финансированием (Госконтракт K325)

**Октябрь 2007 – доклад-предложение Проекта в ЦЕРНе.
Уточнение технического задания и плана на 2007 г.**

Этап 2007 – создание прототипа тестового стенда для исследования треков подсистемой ATLAS-TRT

**Этап 2008 – 2009 - создание прототипа Self Trigger для подключения к модулям системы TRT-TTC : 8 модулей AST_TB, 1 модуль AST_TF
(Госконтракт K 494, K148)**

Self Trigger Transition Board – AST_TB



Receives 40 (36) Fast OR signals from TRT-TTC module

Provides alignment and digitizing of Fast OR signals by Clob Clock, which come from AST_TB board

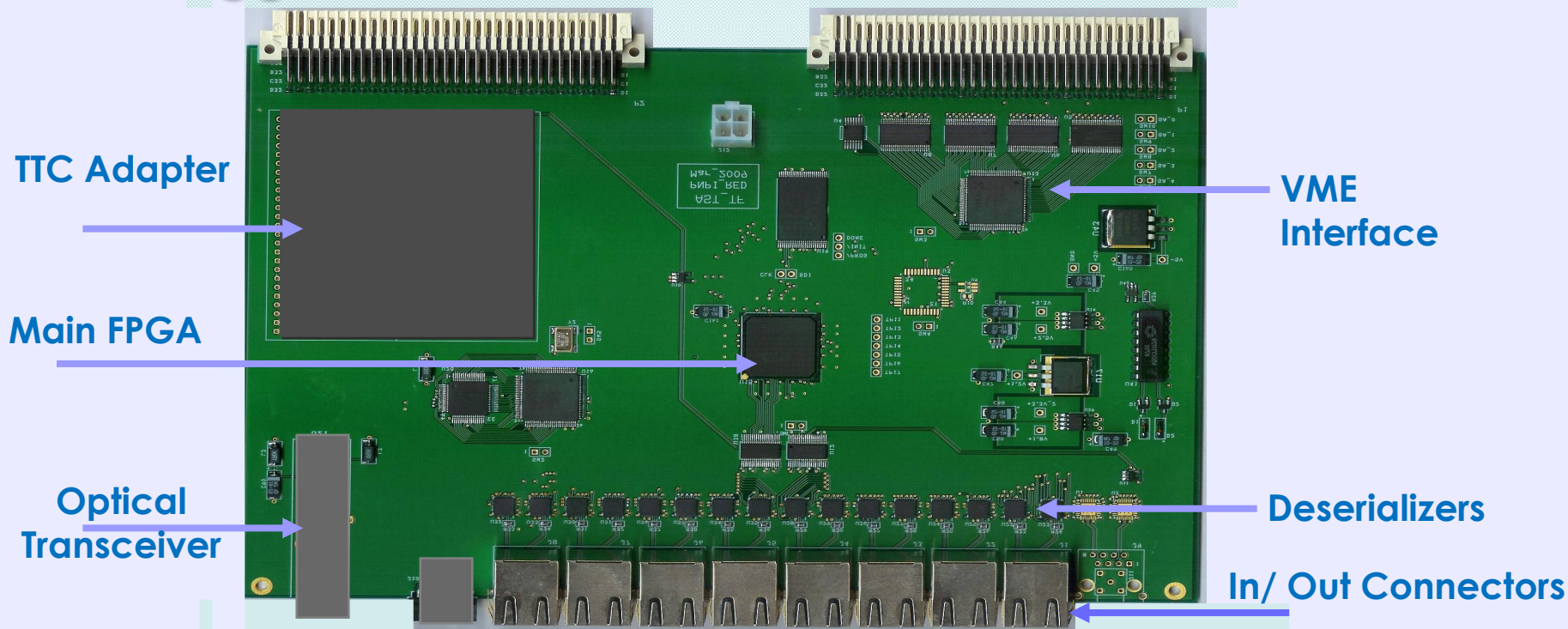
Provides primitive coincidence logic for geometrical zone, limited by 40 (36) FOR signals

Translates 20 bits as 2 best segments to TF Module by two Serializers

Programmable Delay FIFO 5 ns step, 256 step range

Programmable Gate FIFO 25 ns step, 16 step range

Self Trigger Track Finder/ Track Sorter Board – AST_TF



As TF: Provides two best track segments for geometrical zone limited by 320 FOR signals

Extrapolates pairwise combinations of track segments. A successful extrapolation is assigned when two stubs lie within allowed windows of the geometrical coordinates

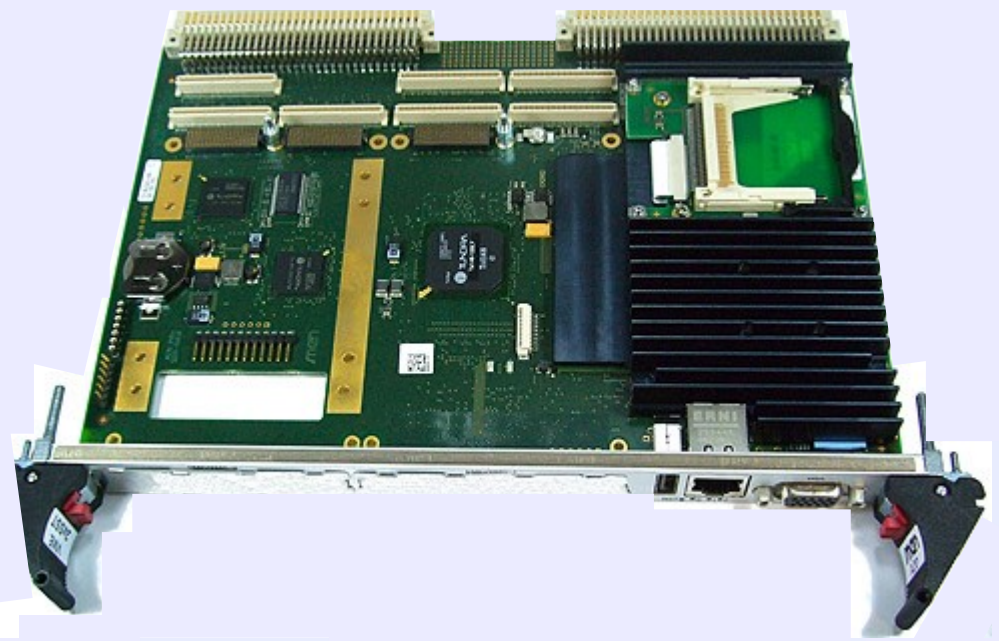
Examines successfully extrapolated track segments to see if a larger track can be formed (track assembling). A list of selected tracks is sent then for final selection

As TS : Provides final trigger decision according to track finder algorithm

Sorts pairwise combinations of track candidates .

A successful best candidate is assigned for final decision

Self Trigger PCI/ VME Interfaces



PCI System Interface/ Buffer:

- * PCI 32-bit Interface
- * Trigger LVDS Input
- * Optical Finisar 2.1 GB/s Transceiver
- *

Power Consumption ~300 mW

VME Master

ATLAS Self Trigger 2012-2014

2011 - TRT коллаборация организовала рабочую группу по созданию "Fast-OR" трекового триггера с участием ПИЯФ

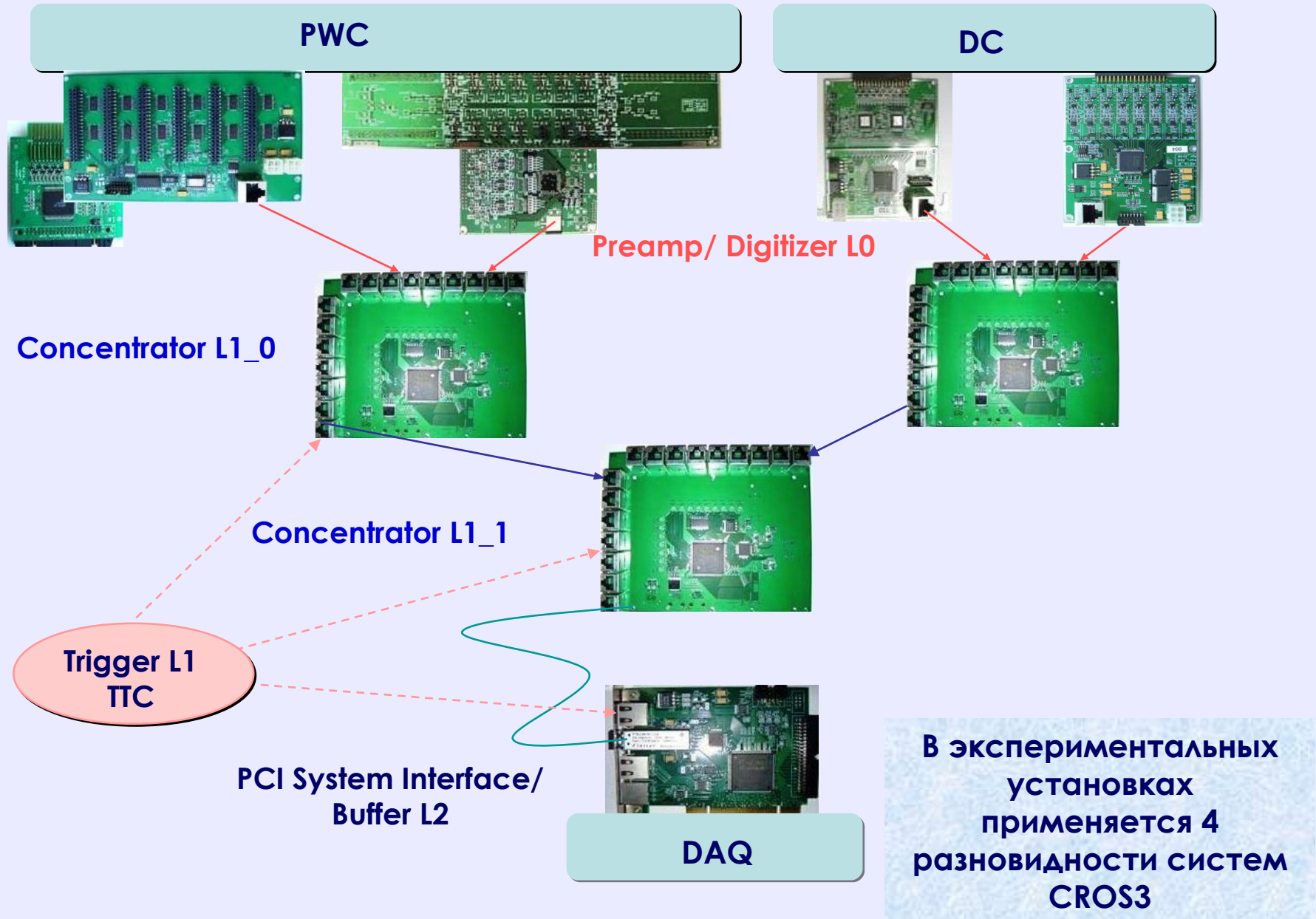
2012 - Испытания прототипа Self Trigger в ЦЕРН
- Выпуск пилотной серии модулей Self Trigger
- Начало производства системы Self Trigger

2013 - Производство и тестирование системы Self Trigger в ПИЯФ
- Тестирование системы Self Trigger в ЦЕРН
- Подключение системы к детектору

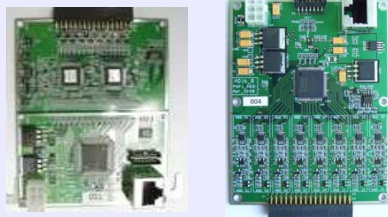
2014 - Запуск и полномасштабное испытание системы Self Trigger

Основное финансирование проекта - МНИТ

CROS3 Комплекс Систем Считывания



Системы Считывания CROS3_G, CROS3_B



AD_FE16 16G, AD_FE16B –Channel Amplifier/Digitizers:

G_ Option based on ASD_Q + FPGA ,

B_ Option based on Discrete Components + FPGA

*** Peaking time 7 ns ***

Operational Threshold 2-3 fC

*** Double pulse**

resolution 20 ns * Power Consumption 30 mW/ch *

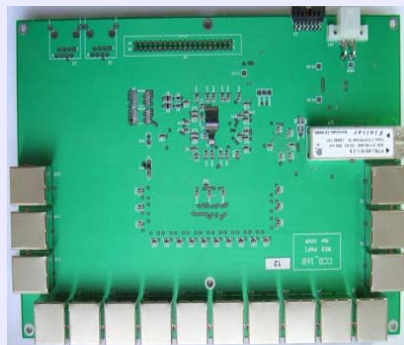
Pro CCB_16G Concentrator :

*** 16 In-Out LVDS Serial Links 100 Mb/ s rate**

*** Optical Finisar 2.1 GB/s Transceiver**

*** GSI GTB Adapter (GSI Optional)**

*** Power Consumption ~300 mW**



CSB System Interface/ Buffer:

*** PCI 32-bit Interface * Trigger LVDS Input**

*** Optical Finisar 2.1 GB/s**

Transceiver

*** Power**

Consumption ~300 mW * Digitizing Clock 100 MHz

512- channel CROS3_G is working at LAND (GSI), since 2006
2500-channel CROS3_B is starting at SFB/TR-16/B1 Spectrometer (Bonn)

Система Считывания CROS3_PWC



16_AD: 16 –Channel Amplifier/Discriminator
Based on GMP-16_G ASIC

* Peaking time 30 ns *

Minimum Threshold 7 fC * Double pulse resolution 80 ns *

Power Consumption 30 mW/ch

CDR_96 – 96 Channel Digitizer:

* Six 16_AD Cards on Board * Serial LVDS

Link * Programmable Delay 10 ns step

* Programmable Gate

10 ns step

* 100 MHz

Digitizing Clock

* Power Consumption 500 mW

CCB_16 Concentrator:

* 16 In-Out LVDS Serial Links Trigger

LVDS Input

* Optical

Finisar 2.1 GB/s Transceiver

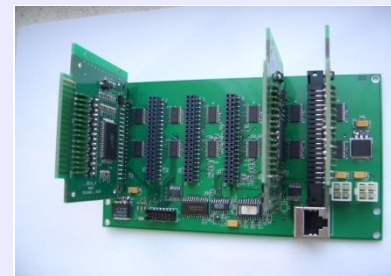
* Power Consumption ~300 mW * Digitizing Clock
100 MHz

CSB System Interface/ Buffer:

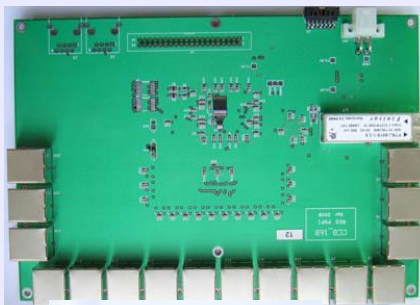
* PCI 32-bit Interface * Trigger LVDS Input

* Optical Finisar 2.1 GB/s Transceiver

* Power Consumption ~300 mW * Digitizing Clock
100 MHz



**Детекторная
Сборка на 96
каналов**



2300 каналов системы на пучке НЭС в Измерительном зале с Декабря 2007 г.

2011 – система установлена в DESY (OLYMPUS)

Система считывания CROS3_L

16- Channel Amplifier

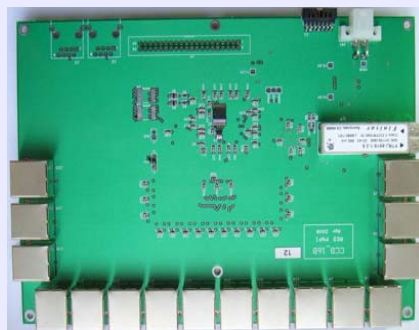


4- Channel Digitizer



16 – Channel Amplifier/Digitizer:
Based on discrete elements + FPGA

- * Peaking time 7 ns
- * Operational Threshold ≤ 15 fC
- * ADC per channel 10 bit resolution
- * Programmable Delay 10 ns step
- * Time measurement 2.5 ns step



CCB_B Concentrator :

- * 16 In-Out LVDS Serial Links 100 Mb/ s rate
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW

CSB_B System Interface/ Buffer:

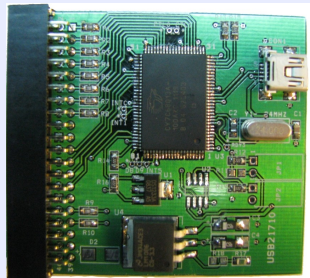
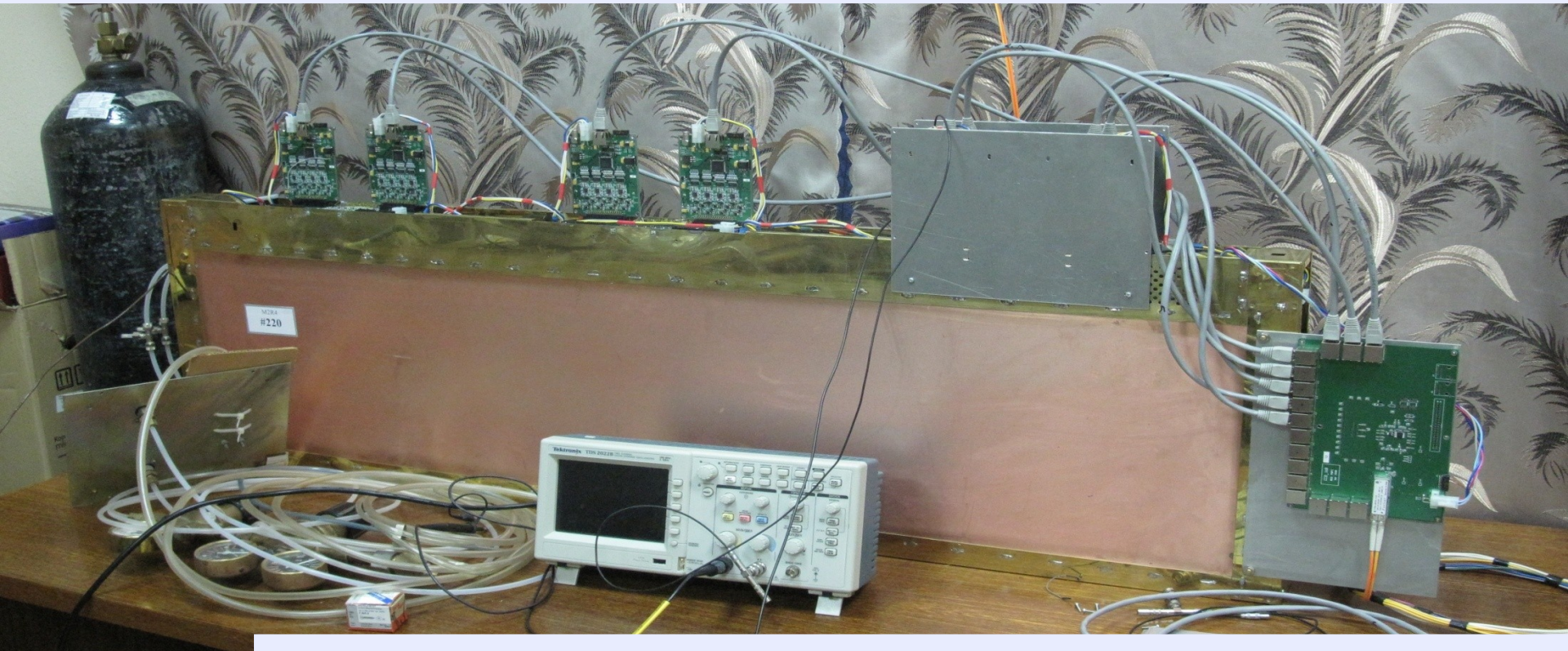
- * PCI 32-bit Interface
- * Trigger LVDS Input
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW
- * Digitizing Clock 100 MHz



2010 – 48 канальная система изготовлена и установлена на камере LHCb
2011 – эксплуатация системы

Применение Системы CROS3_L

Тестовый стенд камер ЛНСб 27.12. 2011



Адаптер выполнен на основе микроконтроллера SY7C68013A
Предназначен для подключения КАМАК крейт-контроллера 217.10 к персональному компьютеру через шину USB-2 в высокоскоростном режиме. Программное обеспечение адаптера позволяет обращаться к контроллеру 217.10 из программ, разработанных под управлением операционных систем, совместимых с Windows XP в интегрированной среде Microsoft Visual C++ x64

Развитие систем считывания - АЦП

8-Channel, Ultralow-Power, Variable Gain Amplifier with Low-Noise Pre-Amp



9x9mm QFN-64

- Low Noise: $0.8\text{nV}/\sqrt{\text{Hz}}$
- 65mW/Channel
- Preamp: 20dB Fixed Gain
- Variable Gain Amplifier:

Gain Control Range: 46dB

Selectable PGA Gain:

Вариант 1 - конструирование ASIC, но ...

Вариант 2 - прикладная электроника для медицины и средств коммуникации
Фирма Texas Instruments производит экономичные АЦП для медицинской рентгенографии, беспроводных коммуникаций, видеооборудования и т.д.

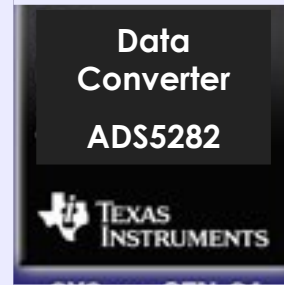
Семейство АЦП 65MSPS и восьмиканальный усилитель VCA8500 с изменяемым коэффициентом усиления образуют законченный тракт обработка сигналов, пригодный для считывания координатных детекторов (DC, Straw, MCSC ...)

Для привязки к данному детектору требуется входной каскад, а для триггерных импульсов - дополнительный дискриминатор

В 2011 г. закуплен комплект микросхем на 48 каналов и специальный отладочный комплекс. Ведутся исследования.

Планируется сделать прототип для TS LHCb

12-bit Octal-Channel ADC 65 MSPS

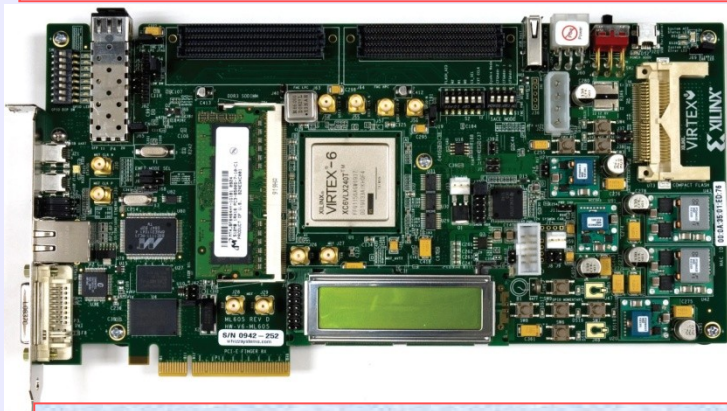


9x9mm QFN-64

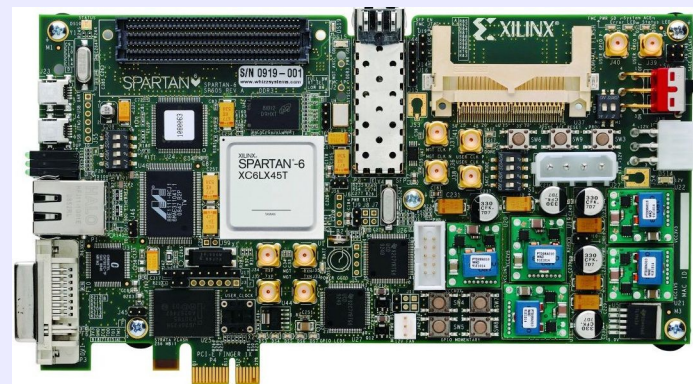
- 12-bit, 65MSPS
- 77 mW/Channel
- Analog In. Full - Scale Range: 2VPP
- Prog. Digital Gain: 0dB to 12dB
- Serialized DDR LVDS Output

Развитие Систем Считывания – Средства Разработки

ML 605 – отладочный набор на базе FPGA Virtex6



SP605 – отладочный набор на базе FPGA Spartan6

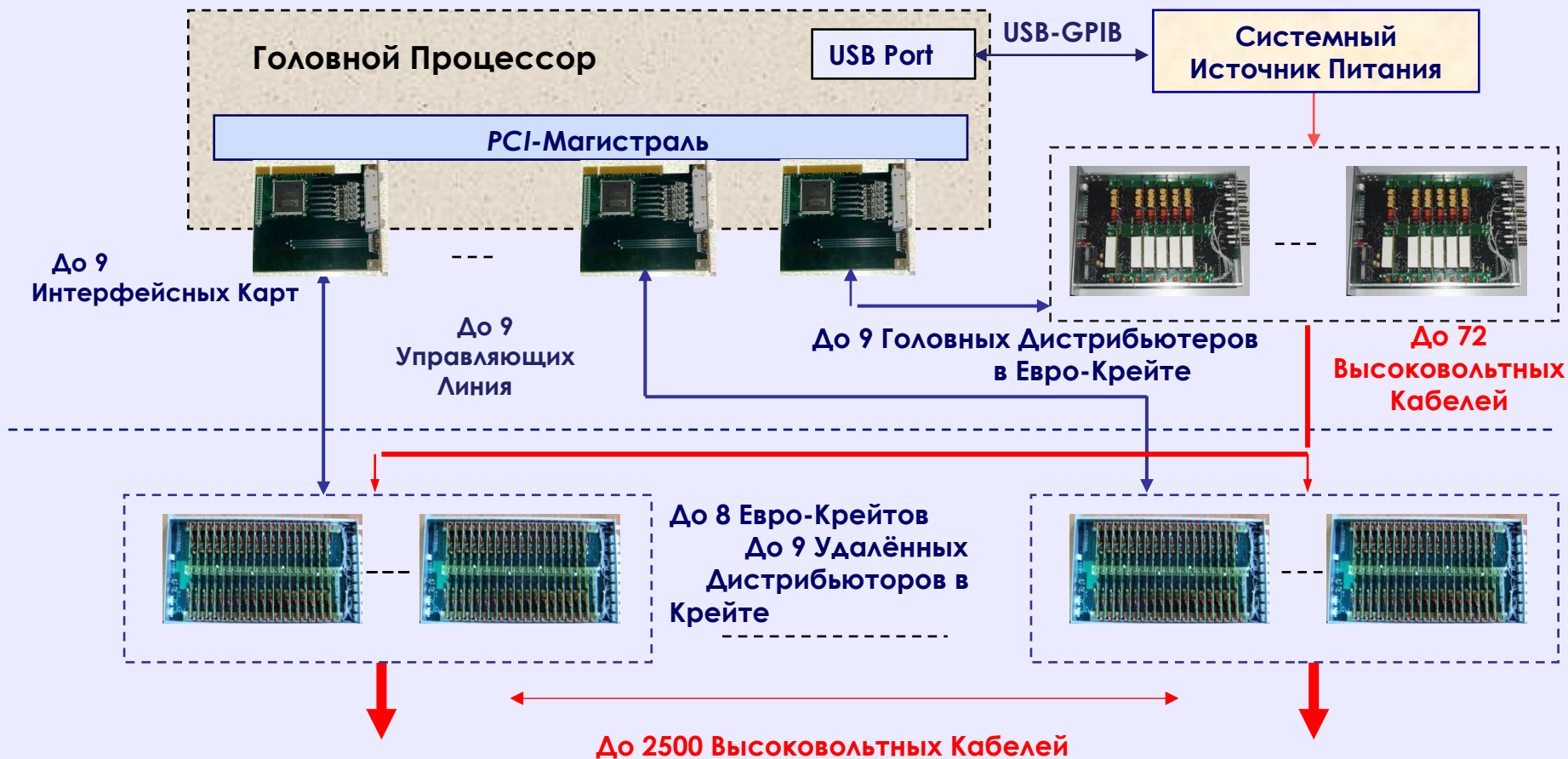


В отладочный набор входит отладочная плата, среда разработки ISE Design Suite Logic Edition, полный комплект документации, включающий демо для начала работы, а также комплект интерфейсных кабелей и блок питания. Обеспечивается полная техническая поддержка разработчика с возможностью загрузки эскизных проектов

- 512 МБ DDR3 SO DIMM
- 32МБ параллельной (BPI) Flash
- 8 разъемов PCI-Express
- 10/100/1000 Ethernet

- PHY разъем трансивера SFP
- Два слота расширения FMC (LPC и HPC)
- Встроенная цепь конфигурации
- Блок System ACE CF с картой памяти Compact Flash 2ГБ

CMS/ LHCb Системы Высоковольтного Питания



Система обеспечивает индивидуальное регулирование и мониторинг напряжения, мониторинг тока и напряжения в каждом сегменте

Нелинейная шкала измерения : до 1 мкА \leq 50 нА, более 1 мкА \leq 10%

напряжения: \leq 50 V

Точность измерения и регулирования

Диапазон

регулирования напряжения группы 36 и более каналов – в пределах 4 KV

Диапазон индивидуального регулирования – в пределах 1KV

CMS/ LHCb HV History

Головной Дистрибьютор



Удалённый Дистрибьютор



Интерфейсная Карта



Июнь 2003: Выигрыш тендера у CAEN на производство системы в 11000 каналов для CMS

2004- 2006: Производство 11000 каналов Системы UFL/PNPI CMS

2006- 2007: Установка и отладка Системы в ЦЕРНе

Октябрь 2005: Выигрыш тендера у CAEN на производство системы в 2000 каналов для LHCb

2006- 2007: Производство 2000 каналов Системы (LHCb ~ 50%)
и Устройства Параллельного Подключения

2008: Установка и отладка Системы в ЦЕРНе
Камер

2009 -2010 : Отладка на пучке, производство дополнительно 200 каналов Системы
Создание программного обеспечения для

уточнения калибровочных таблиц

2011 -2012 Производство второй очереди Системы LHCb на 2000 каналов
(10 Головных Дистрибьюторов, 56 Удалённых Дистрибьюторов)

Заключение



CROS3,4, Self Trigger, HV, April Thesis ...



Track Finder

С наступающим Новым Годом!

2012