

**Отдел Радиоэлектроники  
2007/ 2008  
Отчёт и Планы**

**Головцов В.Л.  
Гатчина, Декабрь 2007**



# ОРЭ - 2007

Всего Сотрудников	25
Научных Сотрудников	8
Инженеров	12
Техников	5
Женщин	9
Мужчин	16
В возрасте до 40	2
Средний возраст	51



26 Декабря 2007 г. ТИЯФ

Виктор Головцов



# Структура ОРЭ - 2007



**CMS  
Track Finder  
ATLAS  
Self Trigger**



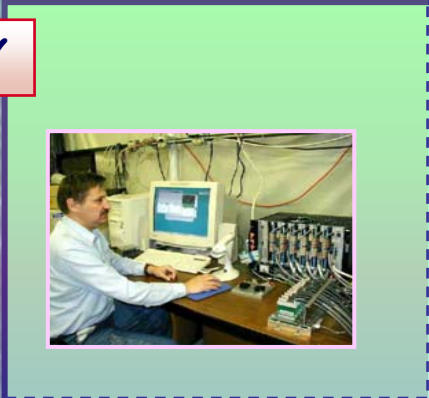
**CRO3  
Readout**



**CMS Alignment/ LV Control**



**LHCb HV**



**Инициативные  
Работы**



**LHCb**



**FQPFMP**



**Опытное  
Производство:  
7 Сотрудников**

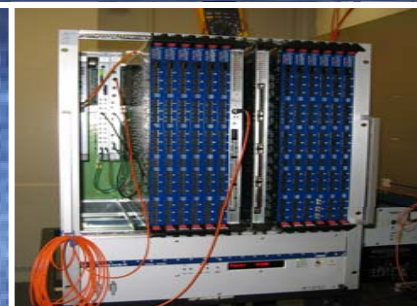
**6 Тематических Групп : 18 Сотрудников**

# Основные Тематические Группы 2007

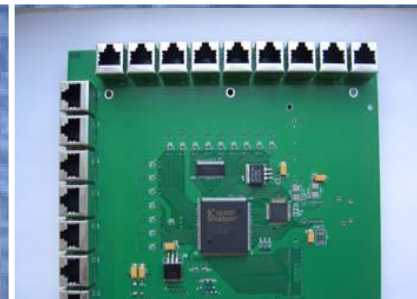


Track Finder (CMS):  
Головцов В.Л., Уваров Л.Н.

Self Trigger (ATLAS):  
Головцов В.Л., Уваров Л.Н., Яцюра В.И.



CROS3 (LAND, SC150/ FAMILON, HISP)  
Бондарь Н.Ф., Головцов В.Л., Голяш А.Г.  
Лобачёв Е.А., Уваров Л.Н., Уваров С.Л.,  
Спириденков Э.М., Яцюра В.И.



LHCb HV  
Волков С.С., Исаев Н.Б.,  
Бондарев С.В., Сергеев Л.О.  
Мыльникова А.В.

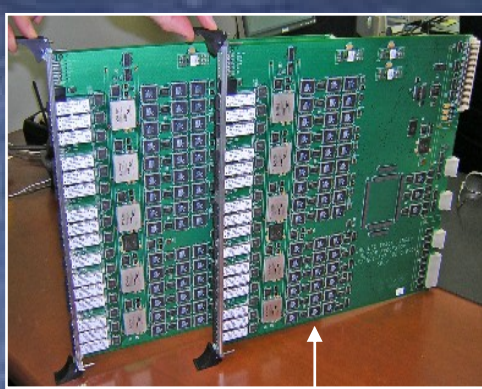


Alignment/ LV Control (CMS):  
Скнарь В.А.  
Голяш А.Г.





# CMS EMU Track Finder



Серийные модули  
Процессора (SP05)

*Track Finder разработан для мюонной триггерной системы CMS. Реализован как 12 Процессоров, каждый из которых идентифицирует до 3 лучших мюонных треков в 60-градусном азимутальном секторе. Анализирует входные примитивные треки (сегменты) от индивидуальных камер, восстанавливает полные треки по четырём камерам, измеряет поперечный импульс  $P_t$*

*Ноябрь 1998 -подписание MOU с UF. 1999 -начало проектирования*

*2000-2001- выпуск первого Прототипа (SP01), отладка и тест*

*В 2001 г. предложено новое идеологическое решение, позволившее реализовать второй прототип Процессора на одной сверхбольшой микросхеме FPGA. Кардинальное улучшение характеристик*

*2002-2003 - выпуск Прототипа SP02, отладка и тест*

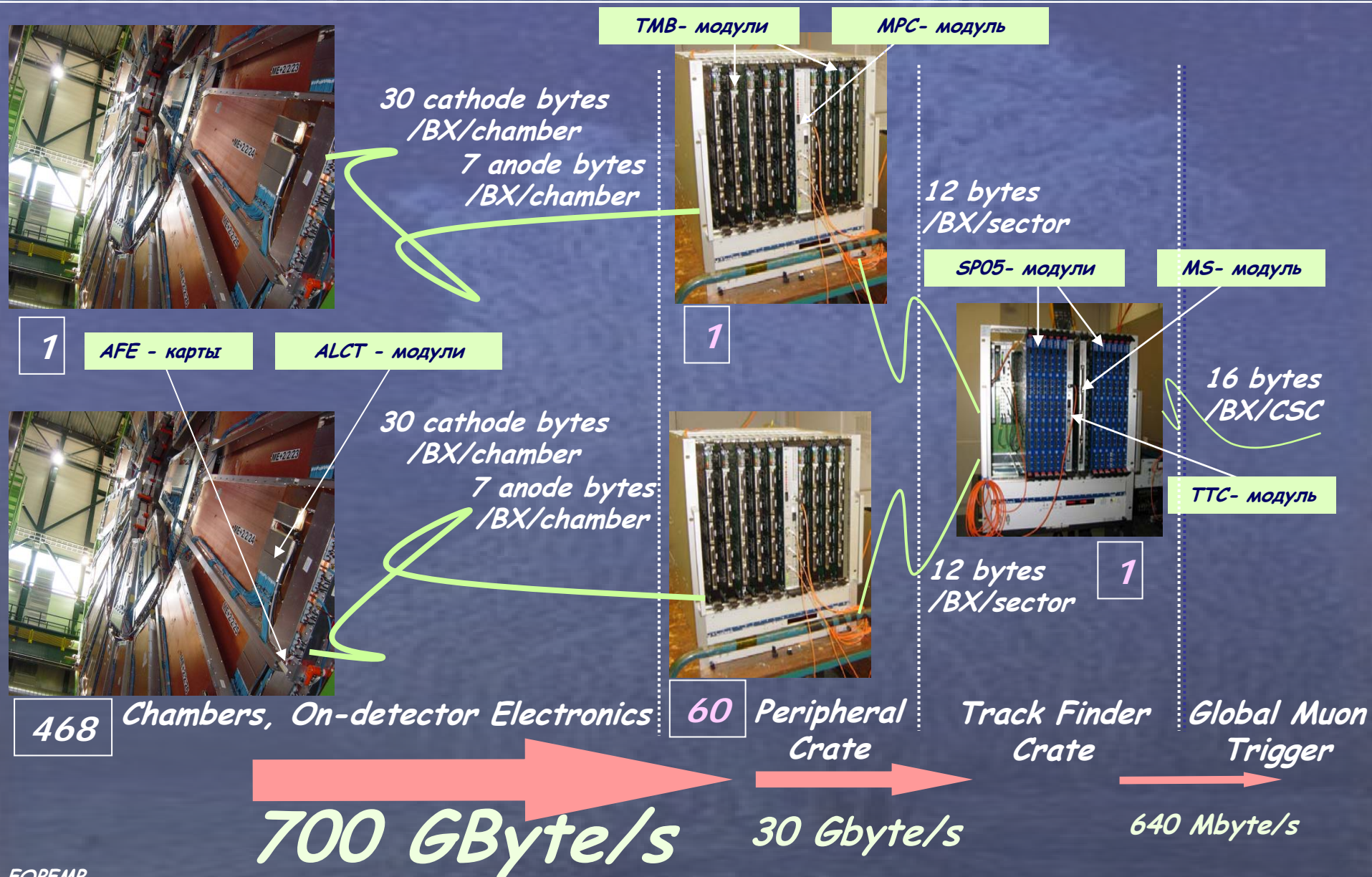
*2004 - выпуск Прототипа SP04, отладка и тест*

*2005 - выпуск Пилотной серии SP05 и массовое производство SP05*

*2006 - отладка и тест Модулей SP05, связь с DAQ, развитие Firmware*

*2007 - отладка в составе распределённой мюонной триггерной системы, связь с DAQ, DT, GMT, развитие Firmware*

# CMS Track Finder Поток Данных



30 cathode bytes  
/BX/chamber  
7 anode bytes  
/BX/chamber

TMB- модули

MPC- модуль

12 bytes  
/BX/sector

SPO5- модули

MS- модуль

16 bytes  
/BX/CSC

TTC- модуль

30 cathode bytes  
/BX/chamber  
7 anode bytes  
/BX/chamber

12 bytes  
/BX/sector

1

AFE - карты

ALCT - модули

1

468

Chambers, On-detector Electronics

60

Peripheral  
Crate

Track Finder  
Crate

Global Muon  
Trigger

700 GByte/s

30 GByte/s

640 MByte/s



# Track Finder Крейт

Wiener 6023 крейт с источником питания,

VME64x J1 Магистраль

VME Контроллер Крейта  
(SBS620 или CAEN 2718)

12 модулей SP05 (UF/PNPI)

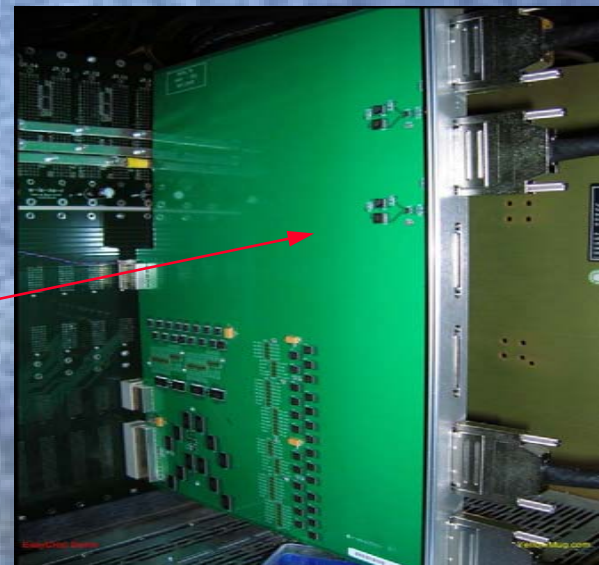
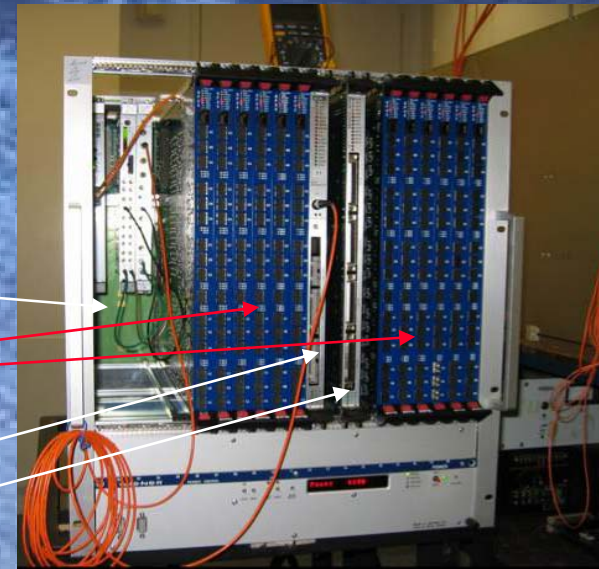
Модуль Системной Частоты и Управления  
(Clock and Control Board) CCB2004 (Rice)

Модуль Сортировщик Мюонов  
(Muon Sorter) MS2005 (Rice)

Специальная 6U Задняя Панель Rev.2 (UF)

Распределитель частоты  
TTCvi and TTCvx (optional)

12 Модулей связи с DT (Transition Boards)  
(UF/PNPI)



FQPFMP

# Track Finder - 2007

Отладка SP в составе распределённой триггерной системы EMU. Работы по модификации Firmware в соответствии с развитием схем TF:

→ Slice Test - Май

Модификация Firmware для одиночных глобальных триггеров

Верификация процедур синхронизации

Выравнивание задержек локальных примитивных треков на входе SP

→ Global Run - Август

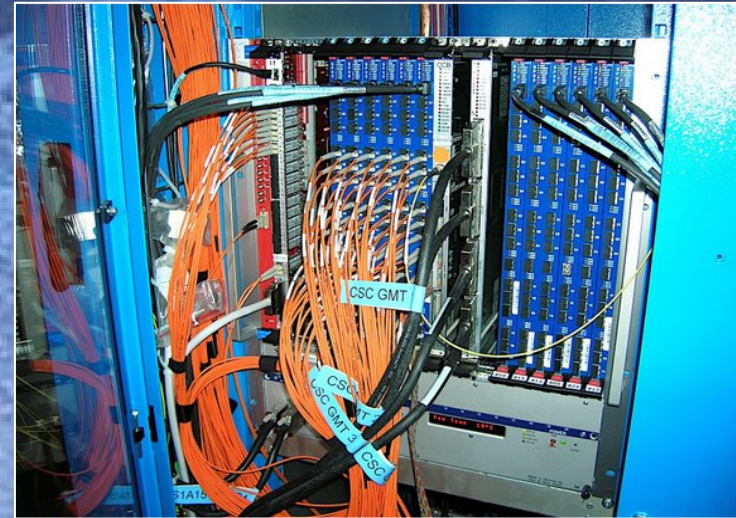
Считывание нулей

Проверка работы DAQ

→ Global Run - Сентябрь

Работа с подключёнными данными ME+1

Обмен данными CSC-DT через переходные платы. Выравнивание задержек



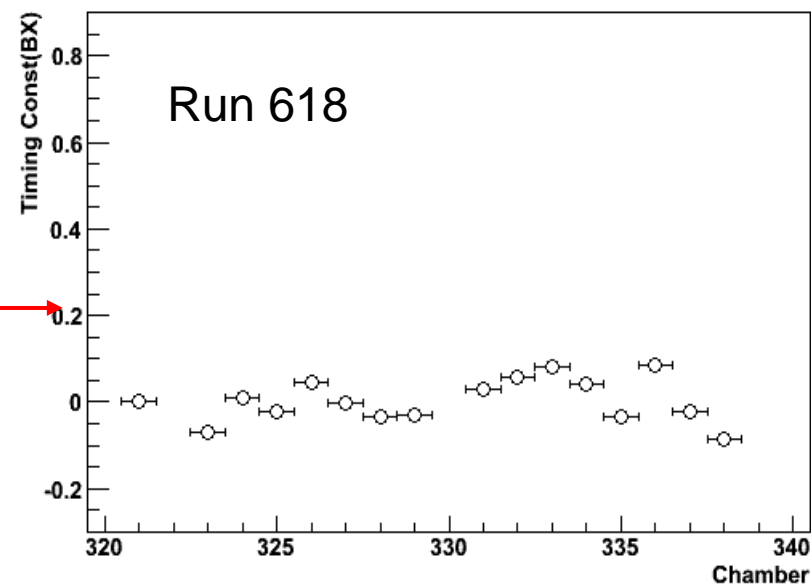
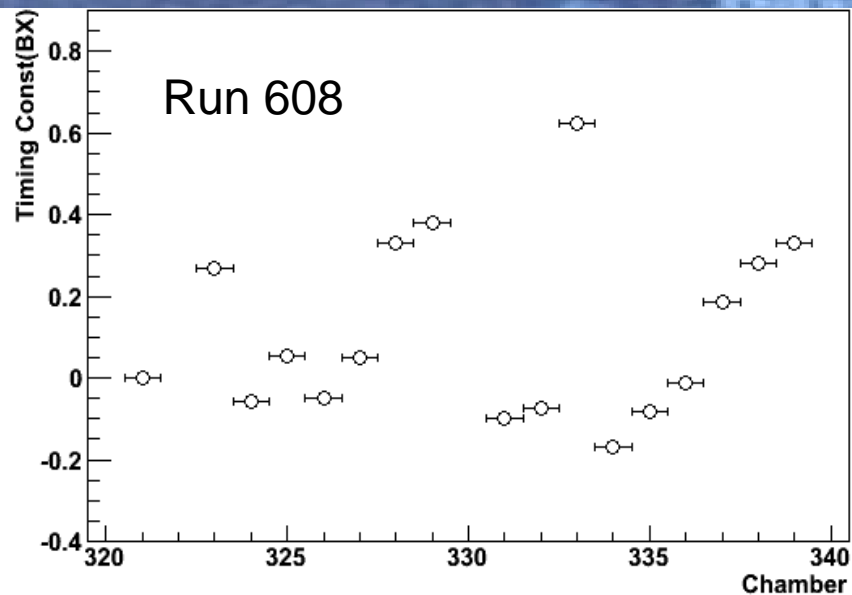
FQPFMP



# Alignment of CSC Trigger Primitives at Sector Processor

## Local Slice Test May 2007

Offline analysis of SP data:  $\Delta BX$  for events with LCTs from selected chamber combinations allows extraction of timing shift for each chamber



0<sup>th</sup> order: use cable lengths in database  
→ Trigger sectors lined up within 1bx (N.B. already better than MTCC...)

AFEB fine delay changes implemented  
→ Trigger sectors lined up within 0.1bx

- CSC trigger primitive synchronization at Sector Processor better than  $\sim 0.1bx$  (c.f. single channel resolution on AFEB fine delay chip  $\approx 0.1bx$ )

# August Global Run observations

## CSC spy data seen by Local DAQ

EmuDAQManager0 Enabled  
Updated at 2007-08-31 15:03:45 UTC — 2 s ago

Local DAQ is in **Enabled** state, controlled automatically by **Central Run Control** (Started at 2007-08-31 14:55:05 UTC)

Run number	Run type	Max number of events	Global run number	Comments
17247	Default	-1 (unlimited)	17247	

Events read by EmuRUI's	Events processed by EmuFU's
EmuRUI0[TF] 0	EmuFU01 0
EmuRUI01[ME+1/1/5] 4176	EmuFU02 0
EmuRUI02[ME+1/1/4] 4176	EmuFU03 0
EmuRUI03[ME+1/1/3] 4176	EmuFU04 0
EmuRUI04[ME+1/1/11] 4176	EmuFU05 0
EmuRUI05[ME+1/1/10] 4177	EmuFU06 0
EmuRUI06[ME+1/1/9] 4177	EmuFU07 0
EmuRUI07[ME+1/1/17] 4177	EmuFU08 0
EmuRUI08[ME+1/1/16] 4177	EmuFU09 0
EmuRUI09[ME+1/1/15] 4177	EmuFU10 0
EmuRUI10[ME+1/1/23] 4177	EmuFU11 0
EmuRUI11[ME+1/1/22] 4177	EmuFU12 0
EmuRUI12[ME+1/1/21] 4177	EmuFU13 0
EmuRUI13[ME+1/1/29] 4177	EmuFU14 0
EmuRUI14[ME+1/1/28] 4177	EmuFU15 0
EmuRUI15[ME+1/1/27] 4177	EmuFU16 0
EmuRUI16[ME+1/1/35] 4177	EmuFU17 0
EmuRUI17[ME+1/1/34] 4177	EmuFU18 0
EmuRUI18[ME+1/1/33] 4177	Total 0

Colors: **DAQ applications**      **DQM applications**

- csc-c2d07-02.cms:40300 **RU0** EmuRUI0[TF]
- csc-c2d07-03.cms:40301 **BU1** RU1 EmuRUI1[ME+1/1/5] EmuFU1
- csc-c2d07-03.cms:40302 **BU2** RU2 EmuRUI2[ME+1/1/4] EmuFU2

CSC EMuDAQManager page

## CSC S-Link data seen by Global DAQ

**RL summary**

	frpcc1d06-25-1	frpcc1d06-25-1	frpcc1d06-31-5	frpcc1d06-31-2	frpcc1d06-31-6	frpcc1d06-31-1	frpcc1d06-10-1	frpcc1d06-11-1	frpcc2d10-10-1	frpcc2d10-07-2	frpcc2d10-07-1
slotNumber	2	1	5	2	6	1	1	1	1	2	1
received FED ID	GT 813	GT 812	CSC+ 751	CSC+ 752	CSC+ 750	CSC+ 752	CSCTF 760	DTTF 780	EB+ 643	HF 719	HF 718
CMVersion	ef01001e	ef01001e	ef01001e	ef01001e	ef01001e	ef01001e	ef010023	ef01001e	ef01001e	ef01001e	ef01001e
FED clk (MHz)	80.14	80.14	62.49	62.49	62.49	62.49	78.11	40.07	80.14	32	31.99
LFT time	0.000000s	0.000000s	0.000000s	0.000000s	0.000000s	0.000000s	0.000000s	0.000000s	0.157113s	0.000000s	0.000000s
BX / BX-TrigBX	1989 / -1	1989 / -1	1915 / -1	1915 / -1	1915 / -1	1915 / -1	1914 / -1	1677 / -1	1911 / -1	1913 / -1	1913 / -1
triggerNum	4385	4385	4385	4385	4385	4385	4385	4385	4385	4385	4385
triggerCount	0x1121	0x1121	0x1121	0x1121	0x1121	0x1121	0x1121	0x1121	0x1121	0x1121	0x1121
linkBadCRC	0	0	0	0	0	0	0	0	0	0	0
fedBadCRC	0	0	0	0	0	0	0	0	0	0	0
backpressure	0	0	0	0	0	0	0	0	0	0	0
myrbStatus	running	running	running	running	running	running	running	running	running	running	running
myrb occupancy	0%	0%	0%	0%	0%	0%	0%	0%	0%	0%	0%
myrbAdvNo	0	0	0	0	0	0	0	0	0	0	0
FMDI status	n.a.	n.a.	n.a.	n.a.	noLock	noLock	noLock	noLock	noLock	noLock	noLock

**BO summary**

	RU 0	RU 1	RU 2	RU 3	RU 4	RU 5
RU last evtNo	0	0	0	0	0	0
myrbStatus	not open	not open	not open	not open	not open	not open
aveToMyrbInFB	1000	1923	1923	1923	1923	1923
myrb occupancy	0%	0%	0%	0%	0%	0%
Host (RU inst)	RU	RU	RU	RU	RU	RU
RU avg frag Size	0.0 B	0.0 B	0.0 B	0.0 B	0.0 B	0.0 B
RU avg throughput	0.0 B/s	0.0 B/s	0.0 B/s	0.0 B/s	0.0 B/s	0.0 B/s

**BU summary**

	rubus2d16-02	rubus2d16-03	rubus2d16-04	rubus2d16-05	rubus2d16-06	rubus2d16-07	rubus2d16-08	rubus2d16-09
BU avg evt Size	0.0 kB (n=0)	0.0 kB (n=0)	0.0 kB (n=0)	0.0 kB (n=0)	0.0 kB (n=0)	0.0 kB (n=0)	0.0 kB (n=0)	0.0 kB (n=0)
BU avg throughput	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)	0.0 B/s (dt=1s)

**FU-Broker summary**

	FU 0 (rubus2d16-08)	FU 1 (rubus2d16-03)	FU 2 (rubus2d16-09)	FU 3 (rubus2d16-05)	FU 4 (rubus2d16-06)
nbReceivedEvents	0	0	0	0	0
nbSentEvents	0	0	0	0	0
nbLostEvents	0	0	0	0	0
nbAcceptedEvents	0	0	0	0	0
nbDiscardedEvents	0	0	0	0	0
nbPendingRequests	0	0	0	0	0
inputRate	0.0 Hz	0.0 Hz	0.0 Hz	0.0 Hz	0.0 Hz
inputThroughput	0.0 B/s	0.0 B/s	0.0 B/s	0.0 B/s	0.0 B/s

**M summary**

	Done
Done	

CMS MiniDAQ page



# CSC Trigger Latency Update



14.5m cable

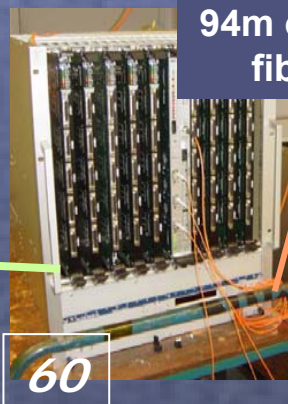
Chamber, CFEB,  
AFEB, ALCT



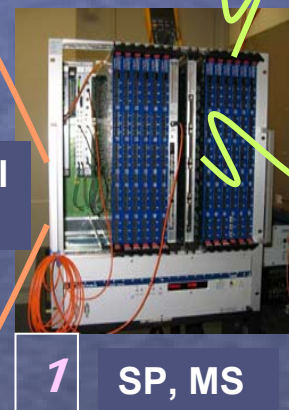
14.5m cable



TMB/CLCT



94m optical fibers



9 m cables  
to DT TF

SP, MS

11m  
cables  
to GMT

*Chambers, On-detector Electronics*

*Peripheral  
Crate*

*Track Finder  
Crate*

*Global Muon  
Trigger*

# Latency Details

Item	Crit path?	2006 Slice Test			CMS, TMB2005				CMS, TMB2007			
		Item BX	Item ns	Cum. BX	Item BX	Item ns	Cum. BX	Sub BX	Item BX	Item ns	Cum. BX	Sub BX
TOF time-of-flight to ME4/1, 11m	Y	0.0	0.0	0.0	1.5	37	1.5		1.5	37	1.5	
CFEB drift delay to last hit of 6 layers	Y	3.0	75.0	3.0	3.0	75	4.5		3.0	75.0	4.5	
ALCT drift delay to last hit of 6 layers expected		3.0	75	3.0	3.0	75	4.5		3.0	75	4.5	
Signal prop. on strips and CFEB cables	Y	0.8	20.0	3.8	0.8	20	5.3		0.8	20	5.3	
Preamp latency	Y	1.0	25.0	4.8	1.0	25	6.3		1.0	25.0	6.3	
Comparator delay for peaking time	Y	2.0	50.0	6.8	3.0	75	9.3		3.0	75.0	9.3	
Comparator latency, clk to first triad	Y	2.0	50.0	8.8	2.0	50	11.3		2.0	50	11.3	
CFEB mux to triads	Y	1.5	37.5	10.3	1.5	38	12.8		1.5	38	12.8	
AFEB latency		3.0	75.0	6.0	3.0	75	7.5		3.0	75	7.5	
Longest Skewclear delay	Y	1.4	35	11.7	2.4	59	15.2	15.2	2.4	59	15.2	15.2
ALCT input delay lines and multiplexors		4.0	100	10.0	4.0	100	11.5		4.0	100	11.5	
ALCT valid out		3.0	75	13.0	3.0	75	14.5		3.0	75	14.5	
ALCT propagation to TMB input		1.4	35.0	14.4	2.4	59	16.9		2.4	59	16.9	
ALCT propagation through RAT into TMB F		2.0	50	16.4	2.0	50	18.9		2.0	50	18.9	
TMB triad demux/synchronization	Y	1.0	25.0	12.7	1.0	25	16.2		0.0	0	15.2	
TMB triad decoding to 1/2-strips	Y	4.0	100.0	16.7	4.0	100	20.2		4.0	100	19.2	
TMB pretrigger (#layers>thresh)	Y	1.0	25.0	17.7	1.0	25	21.2		1.0	25	20.2	
Best 1/32 envelopes/CFEB	Y	2.0	50.0	19.7	2.0	50	23.2		2.0	50	22.2	
Best 2/5 CLCT patterns	Y	3.0	75.0	22.7	3.0	75	26.2		2.0	50	24.2	
ALCT matching if ALCT in time	Y	4.0	100.0	26.7	4.0	100	30.2		4.0	100	28.2	
MPC frame leaves TMB	Y	1.0	25.0	27.7	1.0	25	31.2	16.0	1.0	25	29.2	14.0
Error during 2006 Slice Test only		3.0	75.0	30.7	-	-	-	-	-	-	-	-
Backplane propagation	Y	1.0	25.0	31.7	1.0	25	32.2		1.0	25	30.2	



# Latency Update Summary

## CSC-TF path:

- Previous estimate 80.5 bx
- This is reduced to 77.7 bx currently
- Reduces to 75.7 bx with new firmware (compare to TDR 78 bx)
- SP (using BXA) 13 bx

## CSC→DTTF path:

- Previous estimate 67 bx
- This is reduced to 64.2 bx currently
- Reduces to 62.2 bx with new firmware
- No TDR estimate, but DTTF waits for CSC primitives starting at bx 59

# Track Finder - 2008

1. Участие в пучковом тестировании систем Track Finder
2. Модернизация Firmware SP в соответствии с развитием систем Track Finder
3. Консультации и участие в эксплуатации SP  
Согласование плана в Январе-Феврале 2008
4. Участие в Проекте TF/ SLHC



# Проект TF/SLHC-2008

Модернизация SP в связи с возможным 20-кратным увеличением загрузки по входу.

Основные направления:

- R&D по развитию пропускной способности оптических каналов (в TF реализовано 2.1 Гб/с, сегодня возможна реализация каналов до 10 Гб/с).
- R&D по развитию медных (проводных и печатных) каналов с сериализацией/ десериализацией данных (в TF не использовались).
- R&D по развитию схем на основе программируемой логики (от применённых в TF FPGA Xilinx Virtex-2 к Virtex-5 и т.д.) с использованием возможностей встроенных DSP и GT.
- R&D по развитию схем табличного преобразования (LUT) с учётом увеличивающейся ёмкости микросхем синхронной памяти, а также - эмулирования и возможного упрощения табличных функций.

Готовится доклад с нашими предложениями на митинге SLHC в UF (январь 2008).

# Проект Self Trigger-ATLAS

*Self Trigger* предназначен для триггерного отбора первого уровня с использованием трековой информации сигналов «Быстрое ИЛИ» подсистемы ATLAS-TRT.

Анализирует входные данные в пределах имеющихся географических зон детектора и определяет примитивные треки по сегментам, восстанавливает полные треки, измеряет поперечный импульс  $P_t$ , сортирует полные треки и вырабатывает триггер в соответствии с алгоритмом отбора

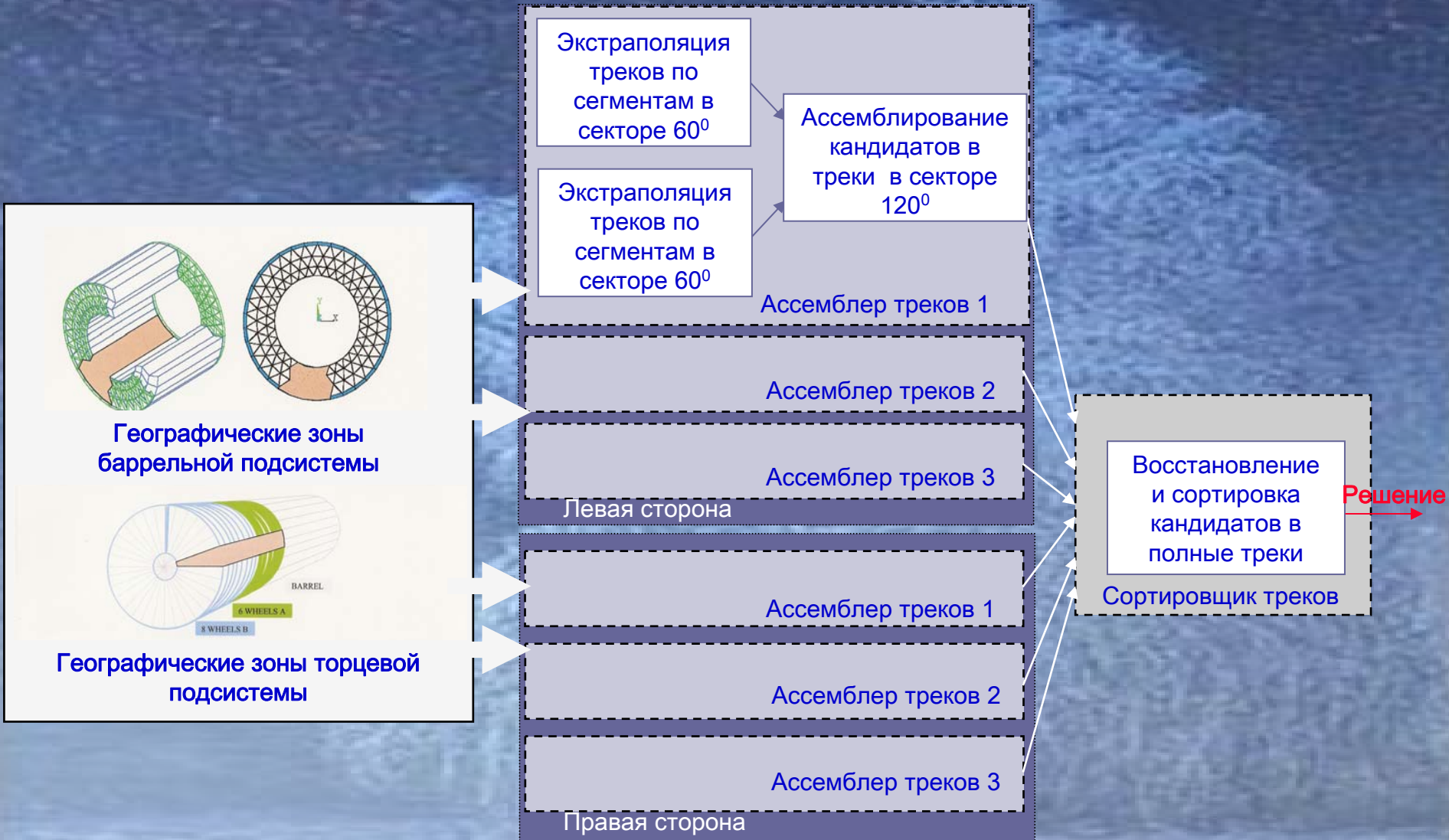
Июль 2007 - начало проектирования (Rapid Design) в соответствии с начатым финансированием (Госконтракт К325)

Октябрь 2007 - доклад-предложение Проекта в ЦЕРНе.  
Уточнение технического задания и плана на 2007 г.

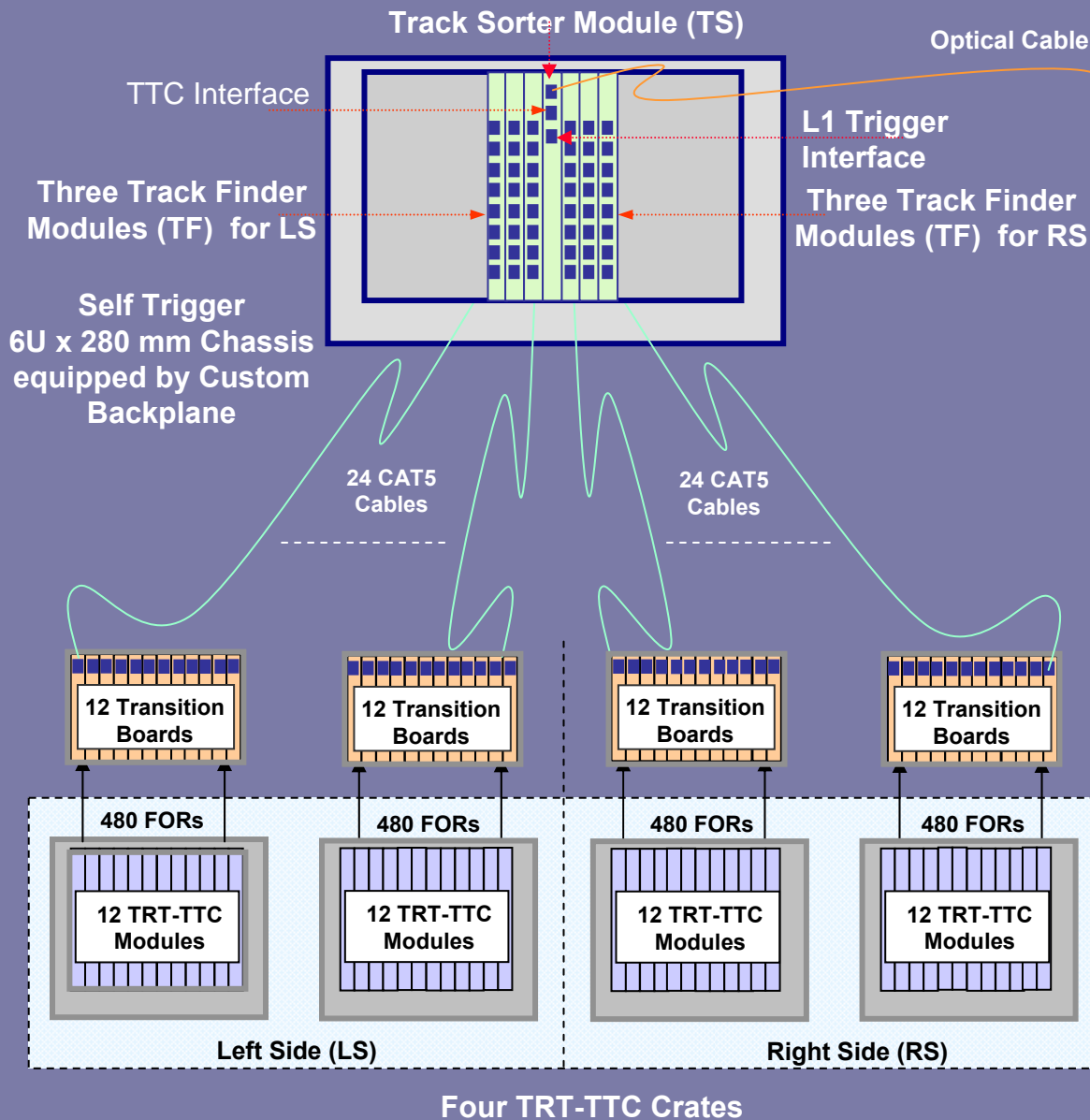
Этап 2007 - создание прототипа тестового стенда для исследования треков подсистемой ATLAS-TRT



# Блок-схема алгоритма Self Trigger



# Конфигурация Self Trigger



**Fast OR signals come to Track Finder Modules (TF) from 48 Transition Boards (TB) over CAT5 Twisted Pair Cables.**

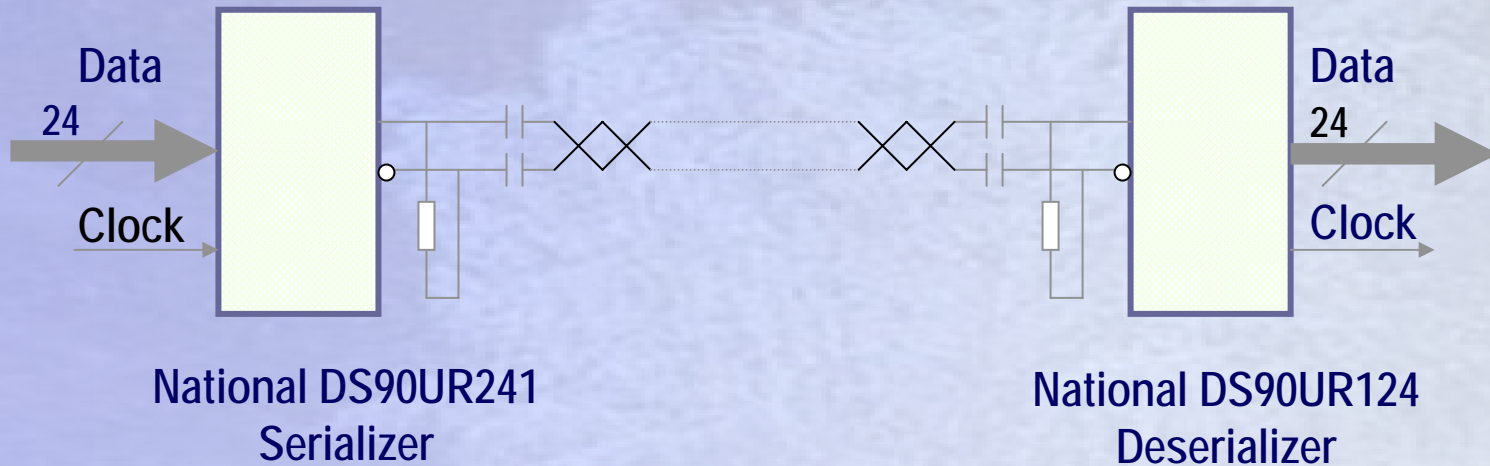
**TF Modules provide track reconstruction according to Track Finding Algorithm. 6 TF Modules housed into 6Ux280mm VME Chassis**

**Track Sorter (TS) Module collects the reconstructed tracks candidates to provide the final selection**

**PCI Interface Card (PI) installed on PCI-Bus of the dedicated PC to provide readout and downloading**



# Self Trigger Data Transmission



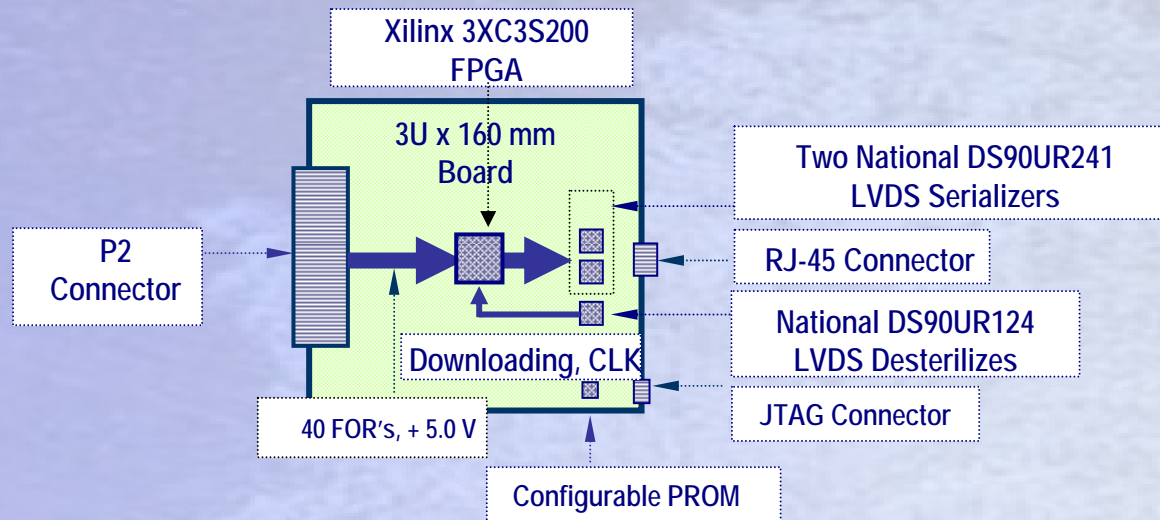
**40 MHz embedded clock and DC-Balanced 24:1 and 1:24 data transmission**

**LVDS outputs to drive up to 10 meters shielded twisted pair cable**

**Embedded CDR (Clock and Data Recovery) on Receiver and no source of reference clock required**

**Saves system cost by narrowing data path that in turn reduce cable width, and connector size and pins**

# Self Trigger Transition Board Layout



**Receives 40 Fast OR signals from TRT-TTC module and translates these signals to TF Module by two National DS90UR241 Serializers**

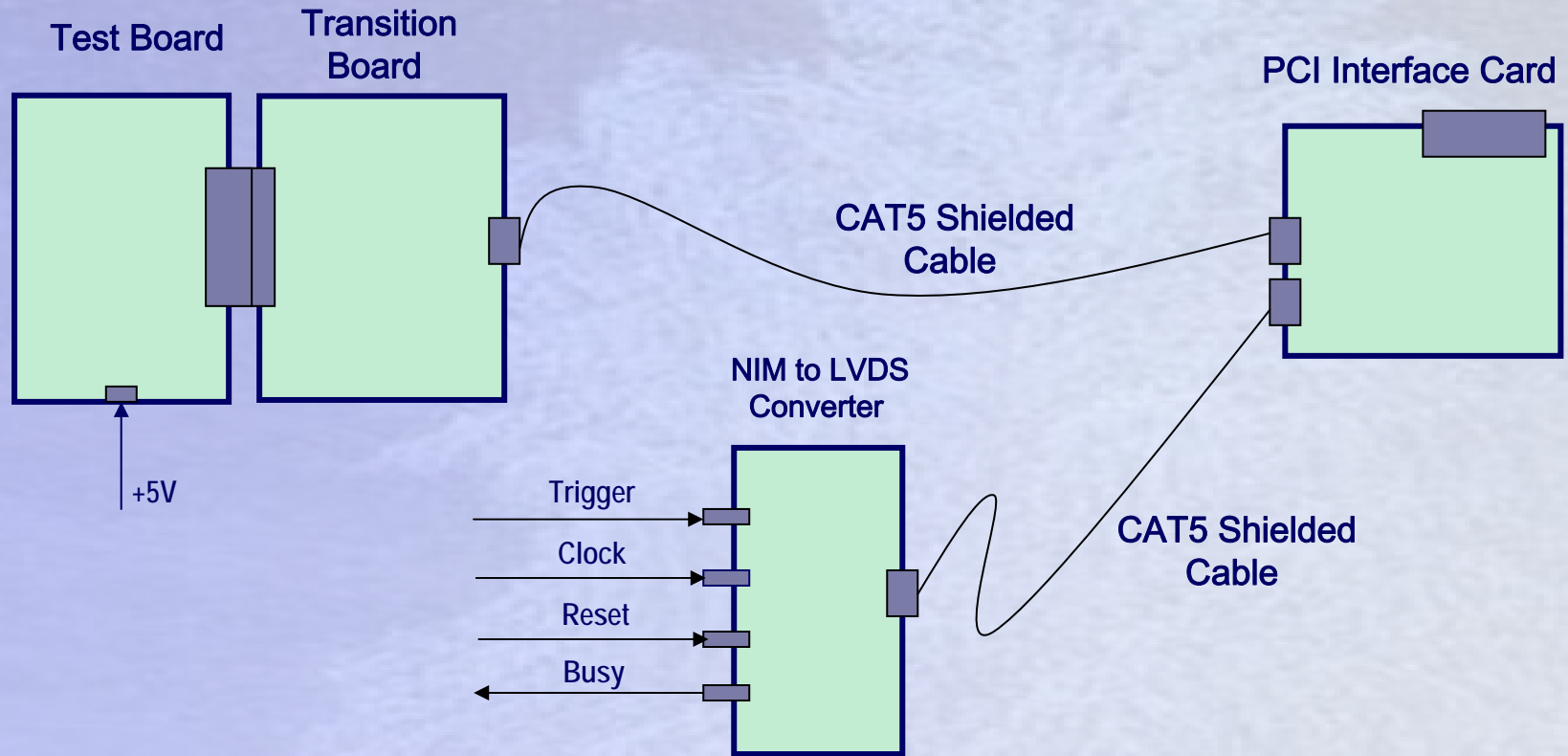
**Provides alignment and digitizing of Fast OR signals by Clob Clock, which come from TF board by embedded clock recovery by National DS90UR124 LVDS Deserializer**

**Programmable Delay by FIFO with step BX/4**

**Programmable Gate by FIFO with step BX**



# Self Trigger Transition Board Test Stand



**Validation Data Transmission Rate**  
**Validation FIFO Delay and FIFO Gate**

# Self Trigger 2007/ 2008

Коррекция плана 2007 г.

№	Наименование	План	Коррекция
1	Производство плат модулей Тестового Стенда	Ноябрь 2007	Февраль 2008
2	Комплектация модулей Тестового Стенда	Ноябрь 2007	Февраль 2008
3	Разработка аппаратно-программного обеспечения модулей Тестового Стенда	Декабрь 2007	Февраль 2008

Self Trigger 2008 г.

- исследование треков подсистемы ATLAS-TRT
- разработка Технического Проекта Self Trigger
- выпуск модулей прототипа Self Trigger

# ЛНСб Высоковольтная Система

*Система предназначена для высоковольтного питания многосегментных камер  
Использует распределительные модули (дистрибьюторы),  
располагаемые рядом с детекторами*

*Система обеспечивает индивидуальное регулирование  
напряжения, мониторинг тока и напряжения в каждом  
сегменте*

*Дискретность измерения тока -  $\sim 20$  нА  
Дискретность измерения и регулирования напряжения:  
 $\sim 2$  В*

*Диапазон регулирования напряжения группы 36 и более  
каналов - в пределах 3 кВ*

*Диапазон индивидуального регулирования  
- в пределах 1 кВ*

*Образцы  
Дистрибьюторов  
Системы*

*Октябрь 2005: Выигрыш тендера у САЕН на производство системы  
в 2000 каналов. Стоимость проекта  $\sim 320$  КСФН (САЕН  $\sim 700$  КСФН)*

*2006: Производство 1000 каналов системы*

*2007: Производство 1000 каналов Системы (+ 200 каналов резерва) и  
Устройства Параллельного Подключения Камер*

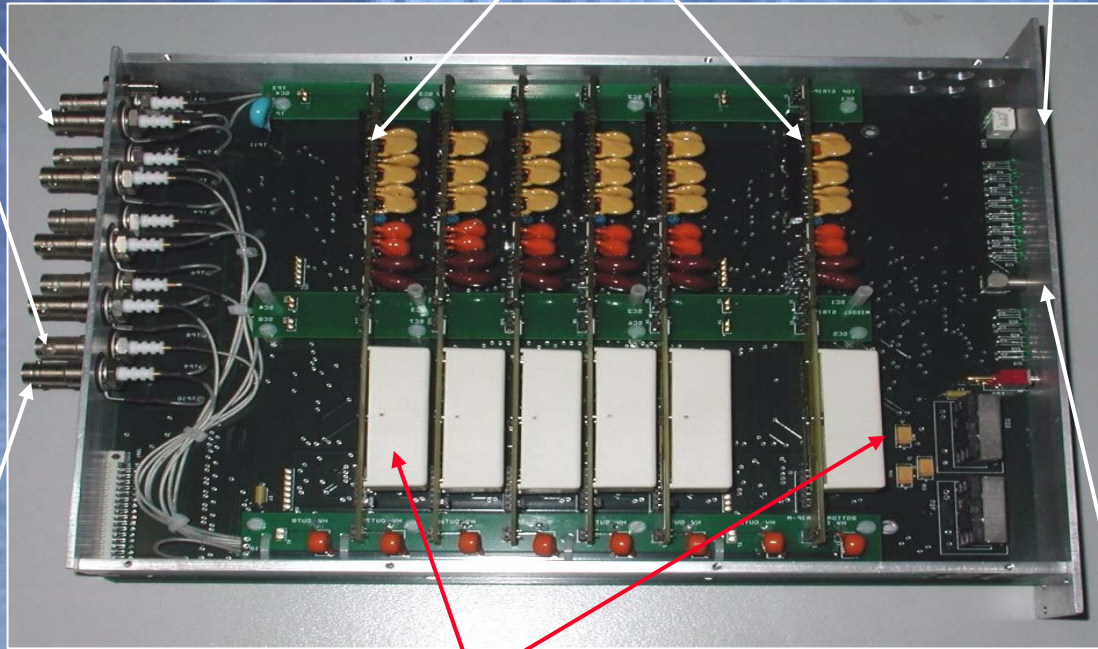


# ЛНСб Головной Дистрибьютор

Восемь выходных  
HV-разъемов

8 плат одноканальных  
регуляторов/сенсоров

Разъем низковольтного  
питания



Входной  
HV-разъем

8 плат реле

Разъем магистрали  
управления и считывания

Модуль размером 40 x 230 x 280 мм (евромеханика)

# ЛНСб 36-канальный Дистрибьютор

Входной  
HV-разъём

Разъём магистрали  
управления и считывания

Девять выходных  
пятиконтактных  
HV-разъёмов

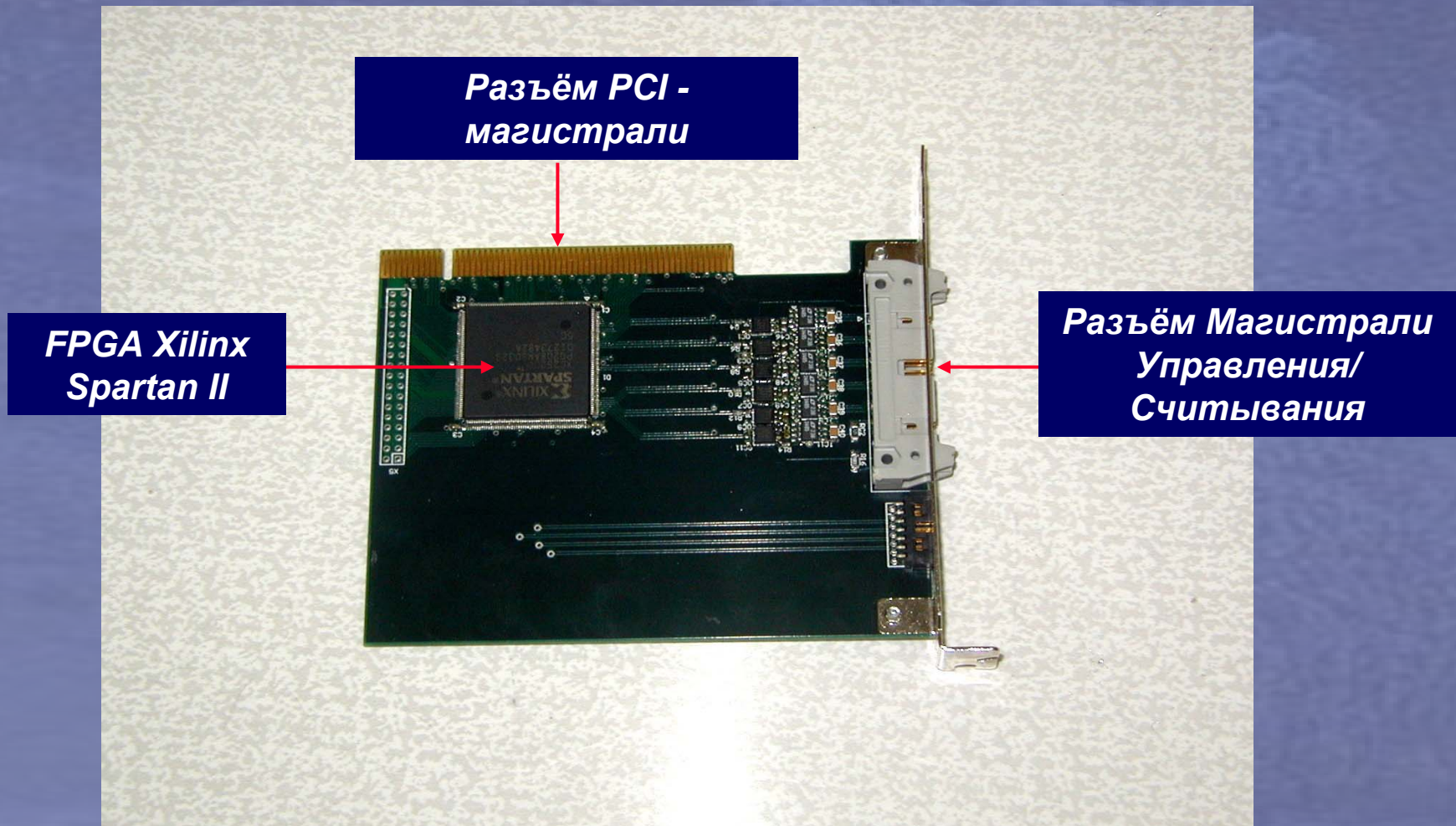
36 плат одноканальных  
регуляторов-сенсоров

Разъём низковольтного  
питания

Модуль размером 40 x 230 x 540 мм (евромеханика)

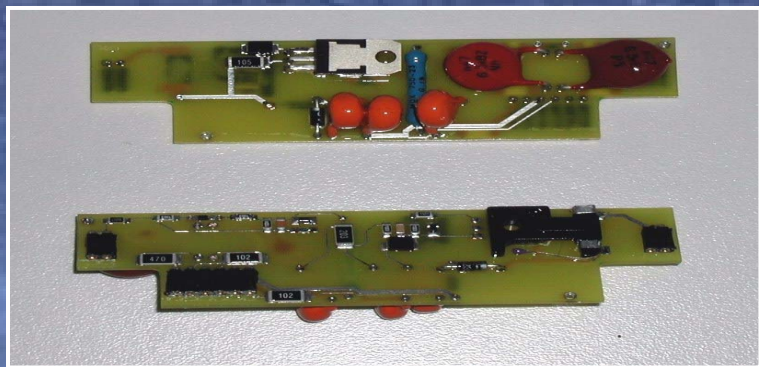


# HV Интерфейсная Карта

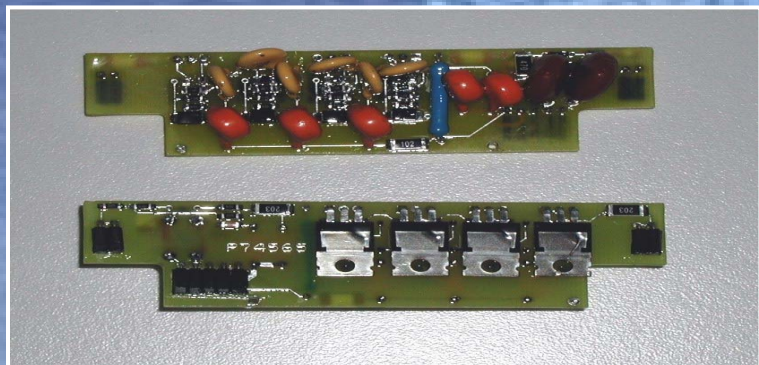




# ЛНСб HV Сенсорные Платы



Плата Регулятора 1 КВ



Плата Регулятора 3 КВ



Плата Реле

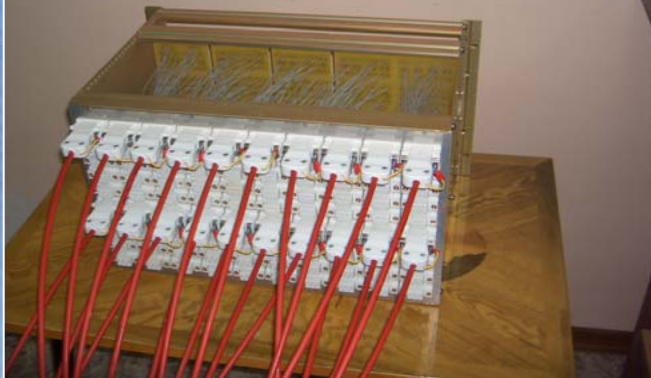
# ЛНСб HV Устройство параллельного подключения камер

Устройство предназначено для распараллеливания выходов 36-канальных Дистрибьюторов и таким образом - обслуживания всех каналов (около 4000) Устройство должно быть впоследствии заменено модулями вновь выпущенной высоковольтной системы на 2000 каналов

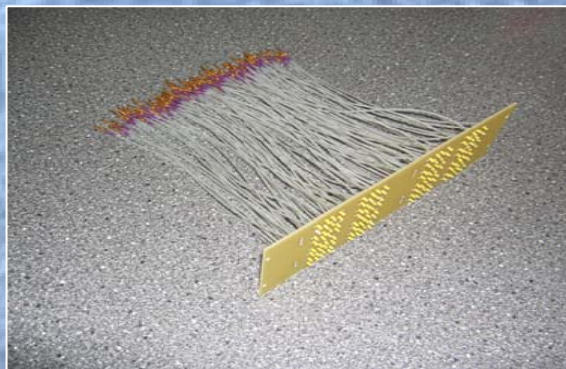
Устройство состоит из восьми модулей соединительной панели с кабелями. Каждый модуль имеет 80 входов и 320 выходов - по 4 выхода на каждый вход.

Устройство устанавливается между Дистрибьюторами и камерами и соединяется с ними короткими высоковольтными кабелями.

6 U крейт с передней и задней панелями



Модуль соединительной панели:  
10 разветвительных плат  
100 высоковольтных разъёмов



Разветвительная плата с высоковольтными изолированными проводами



Высоковольтный кабель с двумя 5-контактными разъёмами



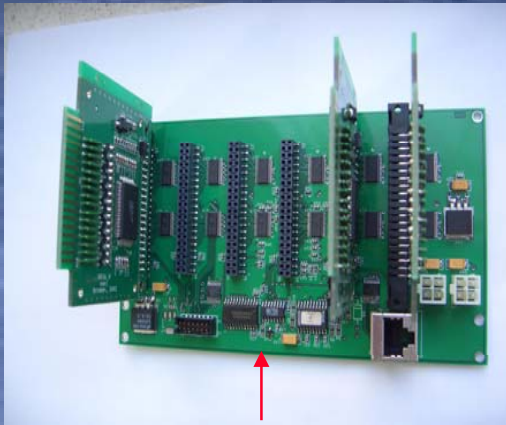
# ЛНСб HV Статус. Декабрь 2007

1. Произведено 1000 каналов высоковольтной системы ЛНСб:  
56 36-канальных Дистрибьюторов  
8 Головных Дистрибьюторов  
4 Интерфейсных Карты  
Все модули доставлены в ЦЕРН.
2. Произведено 8 модулей Устройства параллельного подключения камер. Все модули доставлены в ЦЕРН.
3. Проверены, калиброваны, установлены в стойки, оединены с Устройством параллельного подключения и с камерами все модули 2000-канальной высоковольтной системы.
4. Произведены дополнительно 200 каналов высоковольтной системы в качестве резерва.  
Программа 2007 выполнена полностью и в срок.

План на 2008 год подлежит обсуждению



# CROS3 Система Считывания



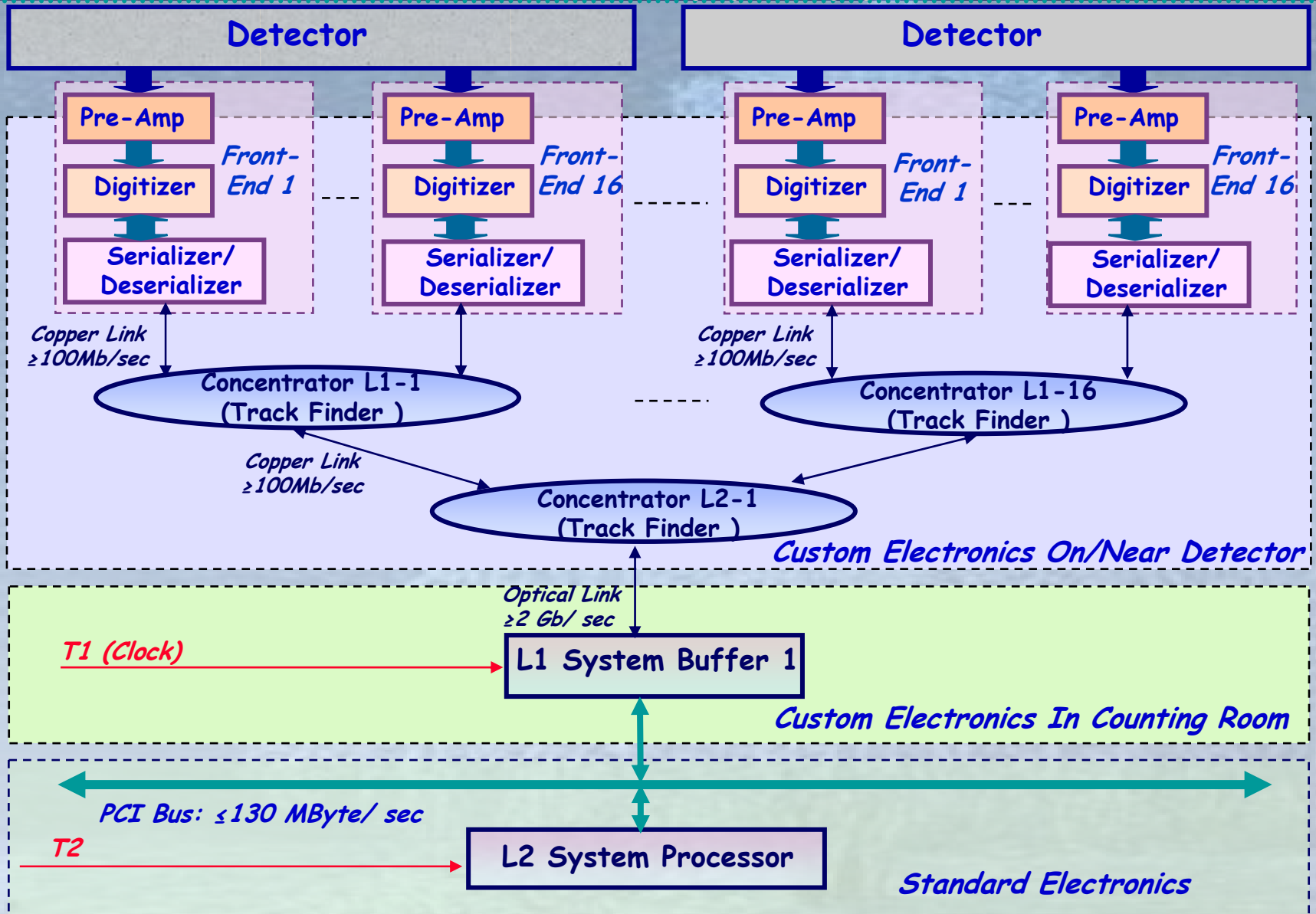
*CROS3 Детекторная  
Сборка на 96 каналов*

- CROS3 – координатная система считывания*
- \* Учитывает достоинства (и недостатки) предыдущих систем CROS, CROS2.*
  - \* Использует достижения современных технологий, в том числе – ASIC CMP16\_G, ASD-Q, FPGA Xilinx Spartan III и т.д.*
  - \* Адаптируется под конструкцию детектора.*

## *Особенности Системы:*

- \* Предусилитель, дискриминатор, задержка и считывание расположены непосредственно на детекторе*
- \* Быстрое кодирование и считывание данных со скоростью >100 Мб/с по кабелям CAT5, CAT6 и до 2 Gb/s – по оптическим кабелям*
- \* Возможность измерения временного распределения срабатывания каналов в интервале «ворот» схемы совпадений с дискретностью до 2.5 ns*

# CROS3 Структура



# CROS3\_DC Изделия



## AD\_FE16 16 -Channel Amplifier/Digitizer:

Based on ASD\_Q + FPGA

- \* Peaking time 7 ns \* Operational Threshold 2-3 fC
- \* Double pulse resolution 20 ns \* Power Consumption 30 mW/ch
- \* Programmable Delay 10 ns step \* Programmable Gate 2.5 ns step



## CCB\_16G Concentrator (GSI Option):

- \* 16 In-Out LVDS Serial Links 100 Mb/s rate
- \* Optical Finisar 2.1 GB/s Transceiver
- \* GSI GTB Adapter Optional \* Power Consumption ~300 mW



## CSB System Interface/ Buffer:

- \* PCI 32-bit Interface \* Trigger LVDS Input
- \* Optical Finisar 2.1 GB/s Transceiver
- \* Power Consumption ~300 mW \* Digitizing Clock 100 MHz

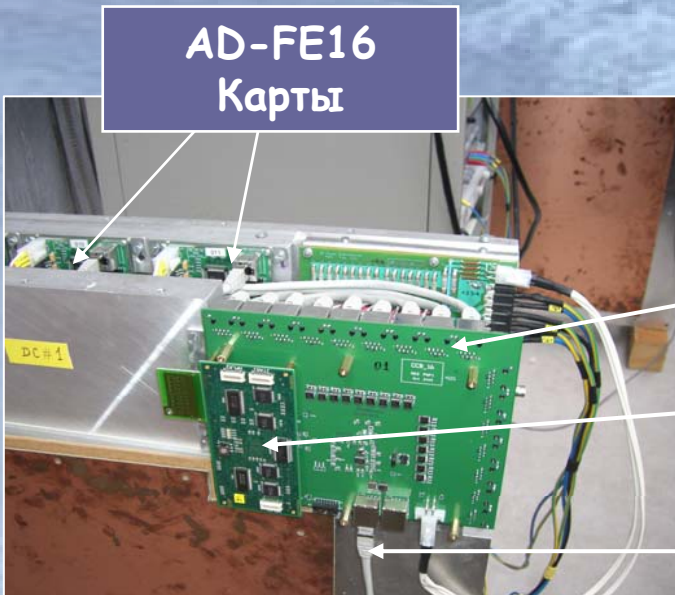
512- канальная система CROS3\_DC с двумя дрейфовыми камерами с ноября 2006 работает в установке LAND (GSI)  
В течение 2007 было несколько пучковых сеансов



# CROS3\_DC в GSI



Дрейфовая Камера с Электроникой  
(Вид сбоку)



AD-FE16  
Карты

Дрейфовая Камера с Электроникой  
(Вид спереди)

ССВ-16G  
Концентратор

ГТВ Адаптер

LVDS Последовательный  
Канал (CAT5 кабель)

# CROS3\_PWC Изделия



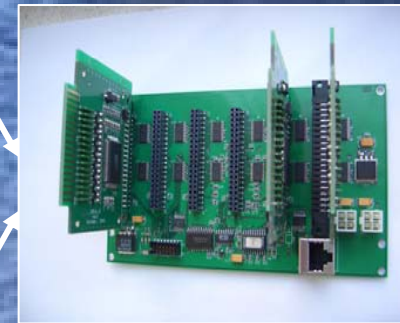
**16\_AD: 16 -Channel Amplifier/Discriminator**  
Based on GMP-16\_G ASIC

- \* Peaking time 30 ns \* Minimum Threshold 7 fC
- \* Double pulse resolution 80 ns
- \* Power Consumption 30 mW/ch



**CDR\_96 - 96 Channel Digitizer:**

- \* Six 16 AD Cards on Board \* Serial LVDS Link
- \* Programmable Delay 10 ns step \* Programmable Gate 10 ns step \* 100 MHz Digitizing Clock
- \* Power Consumption 500 mW



*Детекторная Сборка  
на 96 каналов*



**CCB\_16 Concentrator:**

- \* 16 In-Out LVDS Serial Links Trigger LVDS Input
- \* Optical Finisar 2.1 GB/s Transceiver
- \* Power Consumption ~300 mW \* Digitizing Clock 100 MHz



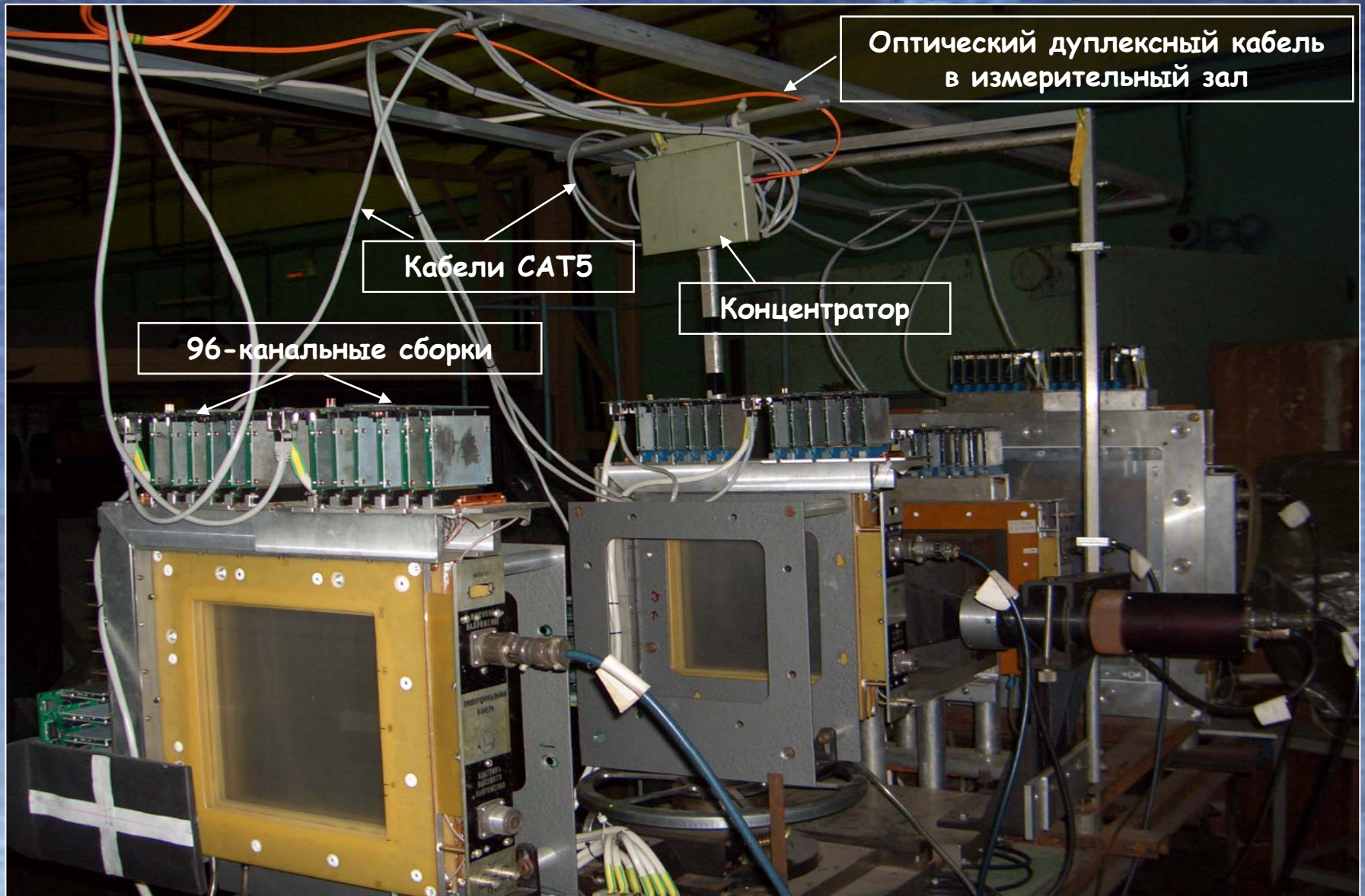
**CSB System Interface/ Buffer:**

- \* PCI 32-bit Interface \* Trigger LVDS Input
- \* Optical Finisar 2.1 GB/s Transceiver
- \* Power Consumption ~300 mW \* Digitizing Clock 100 MHz

Декабрь 2007 ~ 2000 каналов CROS3 отработали 360 часов на пучке синхроциклотрона ПИЯФ (НЭС, О.В.Миклухо)



# CROS3-PWC экспериментальном зале



26 Декабря 2007 г. ТИЯФ

Виктор Головцов



# 96-канальные сборки на камерах

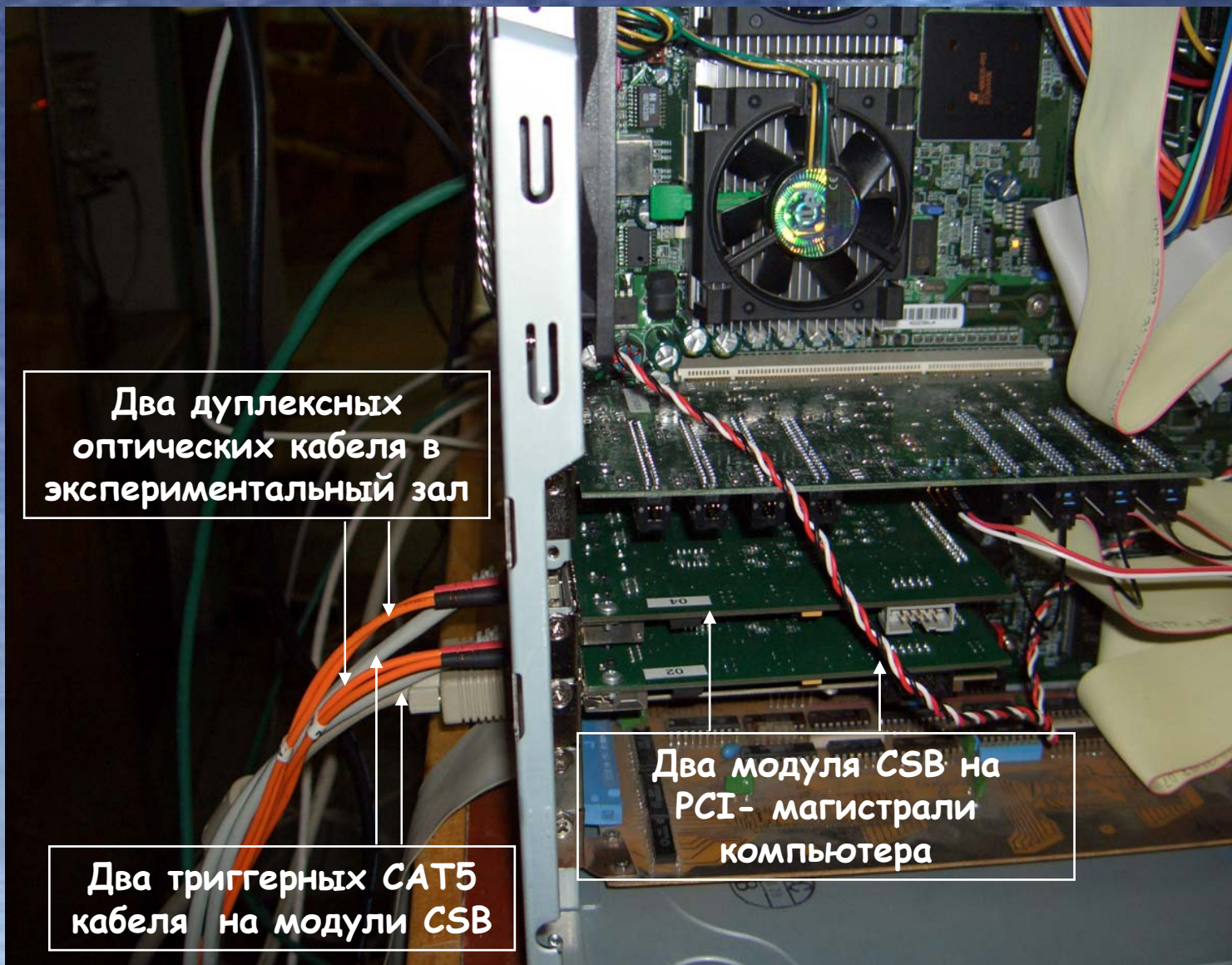


26 Декабря 2007 г. ТИЯФ

Виктор Головцов



# Интерфейс CROS3-PWC в измерительном зале



# CROS3-PWC 2007

*Выпущено 3500 каналов системы:*

*2000 каналов для НЭС (О.В.Миклухо) и 1500 каналов для FAMILON  
(В.А. Гордеев)*

*Запуск в эксплуатацию 2000 каналов системы (НЭС, Декабрь 2007)*

*360 часов на пучке*

*Среднее время считывания события - 17 мкс*

*(Презняя система - 350 мкс)*

*Набрано  $10^9$  событий на водороде*

*и  $0.4 \cdot 10^9$  - на гелии*

*( В 10 раз больше, чем за то же время прежней системой)*

*План 2008*

*Поддержка работы системы*

*Возможна разработка преобразователя время-код в стандарте CROS3 для  
установки НЭС*



# CROS3\_B Структура

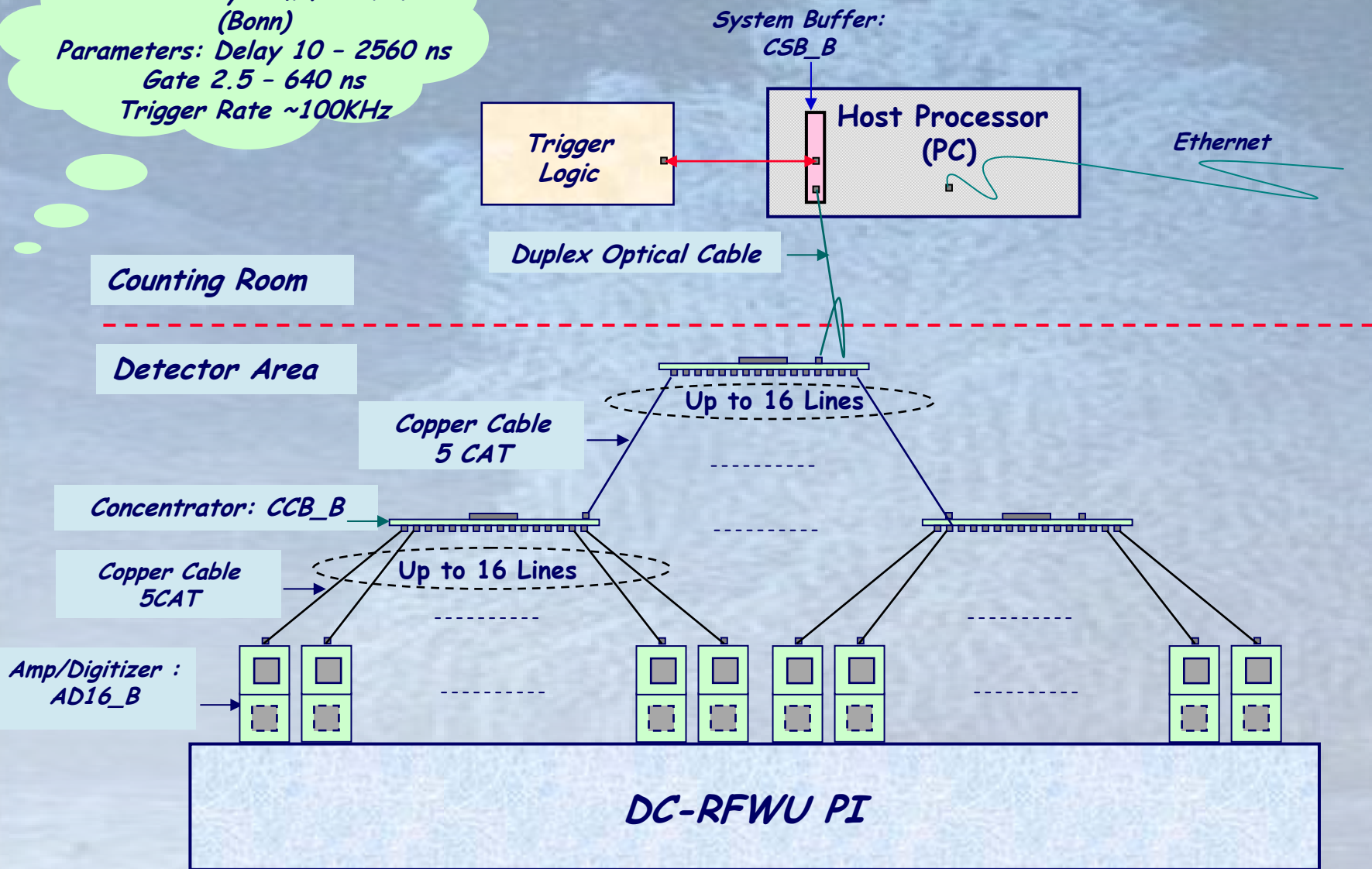
2007-2008:

2080 Channel System for RFWU PI  
(Bonn)

Parameters: Delay 10 - 2560 ns

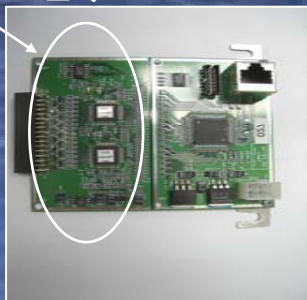
Gate 2.5 - 640 ns

Trigger Rate ~100KHz



# CROS3\_V Структура

Discrete Option instead of ASD\_Q



## AD16\_B 16 -Channel Amplifier/Digitizer:

Based on ASD\_Q + FPGA

- \* Peaking time 7 ns
- \* Operational Threshold 2-3 fC
- \* Double pulse resolution 20 ns
- \* Power Consumption 30 mW/ch
- \* Programmable Delay 10 ns step
- \* Programmable Gate 2.5 ns step



## CCB\_B Concentrator :

- \* 16 In-Out LVDS Serial Links 100 Mb/ s rate
- \* Optical Finisar 2.1 GB/s Transceiver
- \* Power Consumption ~300 mW



## CSB\_B System Interface/ Buffer:

- \* PCI 32-bit Interface
- \* Trigger LVDS Input
- \* Optical Finisar 2.1 GB/s Transceiver
- \* Power Consumption ~300 mW
- \* Digitizing Clock 100 MHz

Прототип CROS3\_P на 32 канала для работы с камерой в Бонне выпущен в  
Ноябре 2007

Прототип CROS3\_V на 200 каналов - Март 2008

300 каналов CROS3\_V - Июнь 2008, 1700 каналов - до Апреля 2009

# CMS EMU Alignment System

*Система предназначена для контроля и мониторинга положения детекторов экспериментальной установки CMS .*

*Использует оптические позиционные сенсоры, мониторирующие положение прямой линии лазера  
Считывание данных сенсоров контролируется DSP-процессорами.*

*Система считывания (DCOPS) транслирует затем данные в Host DAQ*

*Разработка системы производилась в коллаборации с Fermilab*

## *Состав Системы:*

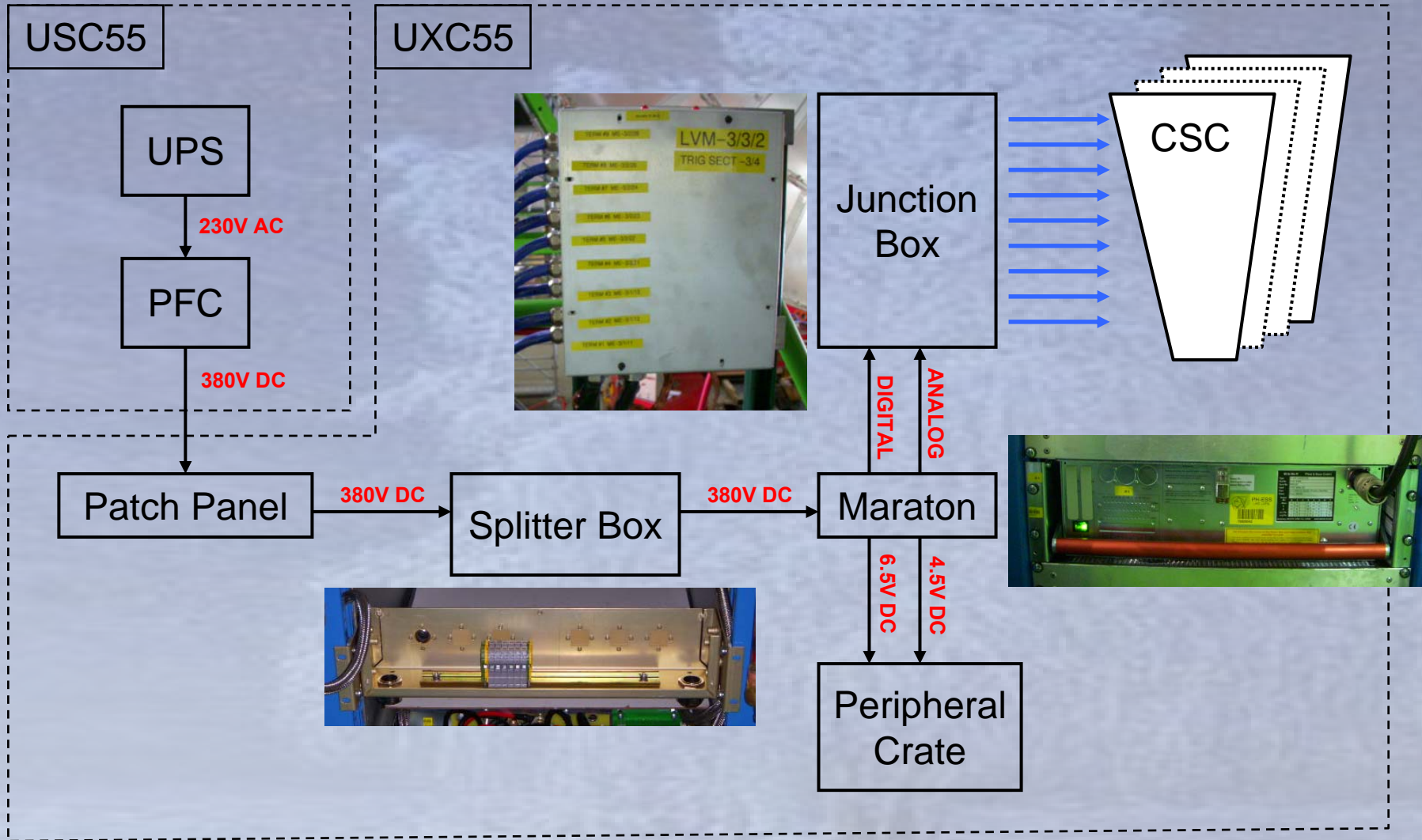
<i>Front-End Sensor Boards</i>	<i>- 1216</i>
<i>DCOPS Readout Boards</i>	<i>- 306</i>
<i>DCOPS Interface Boards</i>	<i>- 62</i>
<i>Analog Interfaces</i>	<i>- 56</i>
<i>Proximity Interface</i>	<i>- 14</i>
<i>Temperature Conversion</i>	<i>- 13</i>

## *2007:*

- Сборка оборудования на детекторе в ЦЕРНе*
- Тест subsystem на детекторе*



# CMS EMU LV System



# CMS EMU LV System Cabling

**CSC Cables:** 468 of 468, 100%  
**Maraton Output Cables:** 208 of 224, 93%  
**CANbus for Maraton:** 12 of 44, 27%  
**PCMB Ethernet Cables:** 36 of 72, 50%  
**PCMB 9-Pair Cables:** 2 of 4, 50%

## Number of cables per Disk/Endcap

	YE+3	YE+2	YE+1	YE-1	YE-2	YE-3	Endcap
CSC Cables	18	108	108	108	108	18	468
Junction Box (JB)	4	24	24	24	24	4	104
Peripheral Crate (PC)	12	24	24	24	24	12	120
Maraton (JB + PC)	16	48	48	48	48	16	224
CANbus for Maraton	2	10	10	10	10	2	44
PCMB (Ethernet Cables)	8	14	14	14	14	8	72
PCMB (9-Pair Cables)			2	2			4

GREEN – Installed, Red – NOT Installed, Blue - Summary

# Заключение



# С НОВЫМ 2008 ГОДОМ!

26 Декабря 2007 г. ПИЯФ

Виктор Головцов